

# GaNの信頼性と寿命の予測: フェーズ16



Siddhesh Gajare, Ph.D.,<sup>1</sup> Duanhui Li, Ph.D.,<sup>1</sup> Ricardo Garcia,<sup>1</sup> Gerald Adriano,<sup>1</sup> Angel Espinoza,<sup>1</sup> Han Gao, Ph.D.,<sup>1</sup> Gordon Stecklein, Ph.D.,<sup>1,2</sup> Shengke Zhang, Ph.D.<sup>1</sup>  
<sup>1</sup>Efficient Power Conversion <sup>2</sup>米SkyWater Technology

多くの多様なアプリケーションで窒化ガリウム (GaN) デバイスの採用を加速するためには、信頼性統計の継続的な蓄積と、集積回路 (IC) を含むGaNデバイスの故障の基本的な物理的の調査が必要です。実験室で得られたデータを確認するか、ミッションの耐久性に関する新たな疑問に耳を貸すか、実際の世界の経験からの情報を探すことも必要です。このフェーズ16の信頼性レポートは、故障するまでテストするという方法を使った継続的な作業を文書化し、熱機械的信頼性を向上させるためのガイドラインを追加します。

## このレポートの焦点と構成

フェーズ15の信頼性レポート [1] と比べて、このバージョンでは、拡張されたデータと分析が示されています。ここでは、特定のアプリケーションで主に懸念される摩耗メカニズムの一般的な概要が含まれており、GaNの信頼性について初めての読者への入門として意図されています。セクション1では、故障するまでのテストの利点と、この方法がデバイス固有の故障メカニズムを明らかにすることで、GaNの信頼性の向上にどのようにつながるかについて説明します。セクション2は、このバージョンのレポートに新たに追加されたもので、大きなストレスと軽度のストレスの期間を組み合わせた現実的なミッション・プロファイルにおけるシステムの信頼性を予測する方法について説明します。基本的な摩耗メカニズムについては、セクション3で個別に説明します。このレポートの以前のバージョンと比べて、熱機械的摩耗メカニズムと過電圧ガイドラインには重要な新しい資料が含まれています。最後に、セクション4では、特定の太陽光発電、DC-DC変換、Lidar (光による検出と距離の測定) の各アプリケーションにおけるGaNの信頼性について報告します。信頼性の高いアセンブリのために、はんだステンシルを最適化する方法を付録 (セクション6) に記載しており、パワー・クワッド・フラット・ノーリード (PQFN: Power Quad Flat No-Lead) のパッケージ封止のGaN FETのはんだスタンドオフ高さを決定する方法を示しました。

## GANの信頼性から開始

窒化ガリウム (GaN) 高電子移動度トランジスタ (HEMT) は、GaNの優れた材料特性によって、電力変換技術に革命をもたらしています。これによって、Siベースの同等品よりも小型のチップ・サイズ、低いオン抵抗、低い寄生容量が実現できます。ここ数年、GaNは、自動運転車や商用車向けのLidar (光による検出と距離の測定)、屋上のソーラー・パネル、サーバー用DC-DCコンバータ、データセンター、衛星、ドローン、ロボット、電動工具向けのモーター駆動など先進的な用途で急速に広まっています。新しい技術として、GaN HEMTの安定性、信頼性、耐久性は、大きな注目を集めています。

GaNの主な摩耗メカニズムには、電圧関連の摩耗、電流密度による摩耗、主に熱膨張 (CTE) の不一致によって引き起こされる熱機械的摩耗、アセンブリやアプリケーションに関連した機械的応力摩耗が含まれます。GaNを初めて使う設計者は、特定のアプリケーションでどの摩耗メカニズムが主な懸念事項であるかを理解するために、表1と2を参照してください。表2の「詳細」列にリストされているように、このレポートでは、実験的調査と、すべての主要なGaN信頼性ストレス要因の理論的分析を提供します。この結果は、従来のSiベースのデバイスとは異なる可能性があります。

用途	パッケージ	ゲート関連	ドレイン関連	電流密度関連	熱機械関連	機械的応力関連
DC-DC	CSP		C		A	E
	PQFN		C		B	
Lidar	CSP	D		F		E
	PQFN	D		F		
ソーラー	CSP				A	E
	PQFN				B	
モーター駆動	CSP	D	C	F	A	E
	PQFN	D	C	F	B	E

表1: GaNの主な摩耗メカニズムと用途別の回避手段、およびデバイスの種類。  
注A~Fの意味は、表2を参照してください。

CSP = チップスケール・パッケージのデバイス  
PQFN = パワー・クワッド・フラット・ノーリードのデバイス

注	一般的な緩和手法	詳細は、以下のセクションを参照
A	適切なアンダーフィルを選択	3.4
B	部品を平らに置き、プリント回路基板にしっかりと接着するアセンブリ工程を設計	付録
C	データシートの $V_{DS}$ 制限内にし、ドレインの過電圧仕様内にして回避	3.2
D	データシートの $V_{GS}$ 制限内にし、ゲートの過電圧仕様内にして回避	3.1
E	アセンブリや取り扱いのときに、推奨される機械的仕様を遵守	3.5
F	安全動作領域の仕様を遵守	3.3

表2: GaNの信頼性に関する懸念: 各セクションを参照

## 目次

セクション1:故障するまでのテスト手法を使った摩耗メカニズムの特定	4
セクション2:故障するまでのテストの結果を使って、システム内のデバイスの寿命を予測	4
セクション3:摩耗メカニズム	5
3.1 ゲートの摩耗	5
3.1.1 ゲートの摩耗メカニズムの概要	5
3.1.2 ゲートの信頼性モデル	5
3.1.3. 物理ベースのゲート寿命モデルの概要	6
3.1.4. ゲート過電圧の調査	6
3.2 ドレインの摩耗	7
3.2.1. ドレインの摩耗メカニズムの概要	7
3.2.2. 物理ベースの動的 $R_{DS(on)}$ および寿命モデル	7
3.2.3. スイッチング周波数とスイッチング電流の影響	9
3.2.4. 高いストレス電圧の影響	9
3.2.5. 200 Vのモデル	10
3.2.6. ドレイン過電圧の仕様	11
3.2.7. 物理ベースの動的 $R_{DS(on)}$ モデルの結論	13
3.3. 電流密度摩耗	13
3.3.1. 電流密度摩耗メカニズムの概要	13
3.3.2. 安全動作領域	13
3.3.3. 短絡耐性テスト	14
3.3.4. 銅配線のエレクトロマイグレーション	17
3.4 機械的応力による摩耗	19
3.4.1. 機械的応力の摩耗メカニズムの概要	19
3.4.2. チップ・サイズとバンプ形状が温度サイクル (TC) 信頼性に与える影響	19
3.4.3. プリント回路基板の性質が温度サイクル寿命に与える影響	21
3.4.4. 適切なアンダーフィルを選択するための基準	25
3.5. 機械的応力による摩耗	27
3.5.1. 熱機械的摩耗メカニズムの概要	27
3.5.2. チップスケール部品のチップせん断テスト	27
3.5.3. チップスケール部品の裏面圧力テスト	27
3.5.4. チップスケール部品の曲げ力テスト	28
3.5.5. PQFN 部品の曲げテスト	28
セクション4:ミッション固有の信頼性予測	30
4.1. 太陽光発電用途特有の信頼性	30
4.1.1. はじめに	30
4.1.2. 太陽光発電の動向	30
4.1.3. 太陽光発電における故障するまでのテストの適用	30
4.1.4. ゲート・バイアス	31
4.1.5. ドレイン・バイアス	31
4.1.6. 温度サイクル	32
4.1.7. 結論	33
4.2. DC-DC用途固有の信頼性	33

4.2.1. はじめに.....	33
4.2.2. 故障するまでのテスト手法.....	33
4.2.3. ゲート・バイアス.....	33
4.2.4. ドレイン・バイアス.....	33
4.2.5. 温度サイクル.....	36
4.2.6. 結論.....	36
4.3. Lidar用途の信頼性.....	37
4.3.1. Lidarの信頼性の概要.....	37
4.3.2. 大電流パルス下での長期安定性.....	37
4.3.3. モノリシック GaN オン・シリコンのレーザー・ドライバIC.....	38
4.3.4. Lidar用途向け eToF レーザー・ドライバICの主なストレス要因.....	38
4.3.5. $V_{DD}$ 、論理電源電圧の影響.....	38
4.3.6. $V_D$ (レーザー駆動電圧) の影響.....	41
4.3.7. 動作周波数の影響.....	42
5. 要約と結論.....	43
6. 付録.....	44
PQFN封止のGaNデバイスの信頼性の高いアセンブリのためのはんだステンシル設計...44	
参考文献.....	51

## セクション1: 故障するまでのテスト手法を使った摩耗メカニズムの特定

半導体の標準品質認定テストでは通常、データシートに指定されている制限値、またはその近くで、デバイスに長期間、または特定のサイクル数のストレスを与えることが含まれています。標準品質認定テストの目標は、テストされる比較的大きな部品グループの故障をゼロにすることです。

このタイプの認定テストは、非常に特殊なテスト条件に合格した部品のみを報告するため、不十分です。部品を故障点までテストすることで、データシートの制限間のマージン量を理解することができ、さらに重要なことに、本質的な故障メカニズムを理解できるようになります。本質的な故障メカニズム、故障の根本原因、および時間、温度、電氣的または機械的ストレスに対するこのメカニズムの動作を知ることで、より一般的な一連の動作条件における製品の安全な動作寿命を決定できます（半導体デバイスをテストするための故障するまでのテスト手法の優れた説明は、参考文献 [2] を参照してください）。

すべてのパワー・トランジスタと同様に、主なストレス条件には、電圧、電流、温度、湿度、および、さまざまな機械的ストレスがあります。ただし、これらのストレス条件を適用する多くの方法があります。例えば、GaNトランジスタの電圧ストレスは、ゲート端子からソース端子 ( $V_{GS}$ ) まで、および、ドレイン端子からソース端子 ( $V_{DS}$ ) まで、に印加することができます。例えば、これらのストレスは、直流バイアスとして継続的に加えること、オンとオフを繰り返すこと、または、高速パルスとして加えることもできます。電流ストレスは、直流の連続電流またはパルス電流として加えることができます。温度ストレスは、所望の極端な温度で一定期間、デバイスを動作させることによって継続的に加えること、または、温度をさまざまな方法で繰り返して加えることができます。

かなりの数の故障が発生する所まで、これらの各条件でデバイスにストレスをかけることによって、テスト対象のデバイスの主な固有の故障メカニズムを理解して判断することができます。妥当な時間で故障を発生させるためには、ストレス条件は通常、製品のデータシートの制限を大幅に超える必要があります。ある過度のストレス状態が、通常の動作中に決して遭遇することがない故障メカニズムを引き起こさないように注意しなければなりません。過度なストレス条件が故障を引き起こさなかったことを確認するために、故障した部品は、故障の根本原因を特定するために、慎重に調べる必要があります。根本的な原因を検証することによってのみ、さまざまなストレス条件下でのデバイスの動作を完全に理解することができます。eGaN®デバイスの固有の故障モードについての理解が深まるにつれて、2つの事実が明らかになりました；(1) eGaNデバイスはSiベースのMOSFETよりも丈夫であり、(2) 極端な、または長期の電氣的ストレス条件下でeGaNデバイスの寿命を予測するとき、一般に、シリコンMOSFET固有の摩耗モデルを適用することはできません。

表1-1の左側の列には、アセンブリ中または動作中にトランジスタが受ける可能性のあるさまざまなストレス要因がすべてリストされています。左から3番目の列にリストしたさまざまなテスト手法を使って、デバイスを故障点まで導くと、固有の摩耗メカニズムを発見できます。このレポートの執筆時点で確認されている摩耗メカニズムを右の列に示します。

ストレス源	デバイス/パッケージ	テスト方法	固有の摩耗メカニズム
電圧	デバイス	HTGB	絶縁破壊 (TDDB) しきい値シフト
		HTRB	しきい値シフト $R_{DS(on)}$ シフト
		ESD	絶縁破損
電流	デバイス	直流電流 (EM)	エレクトロマイグレーション サーモマイグレーション
電流+電圧 (電力)	デバイス	SOA	熱暴走
		回路の短絡	熱暴走
電圧の立ち上がり/降下	デバイス	ハードスイッチングの信頼性	$R_{DS(on)}$ シフト
電流の立ち上がり/降下	デバイス	パルス電流 (Lidarの信頼性)	問題なし
温度	パッケージ	HTS	問題なし
湿度	パッケージ	MSL1	問題なし
		H3TRB	問題なし
		AC	問題なし
		はんだ付け性	はんだ腐食
		uHAST	柱状突起の形成/腐食
機械的/熱機械的	パッケージ	TC	はんだ疲労
		IOL	はんだ疲労
		曲げ力テスト	層間剥離
		曲げ力テスト	はんだ強度
		曲げ力テスト	圧電効果
		チップのせん断	はんだ強度
		パッケージ圧力	フィルムの欠け
放射線	デバイス	ガンマ線	問題なし
		中性子線	問題なし
		重イオン照射 (SEE)	結晶変位ダメージとイオン化ダメージ

表1-1: GaNトランジスタに対するストレス条件と固有の摩耗メカニズム

## セクション2: 故障するまでのテストの結果を使って、システム内のデバイスの寿命を予測

複数の故障メカニズムまたはストレス源が関係している場合、一般に平均故障率 (FIT: Failure in Time) として知られるシステムの合計故障率は、以下に示すように、故障メカニズムごとの故障率の合計です [3,4]。

$$FIT_{Total} = FIT_1 + FIT_2 + \dots + FIT_i \quad \text{式2-1}$$

ここで、FIT は、平均故障率であり、通常は  $10^9$  (10億) デバイス時間内の故障数を表し、下付き文字は、特定されたさまざまな故障メカニズムを示します。

FIT は、次のように平均故障時間(MTTF: mean time to failure)に反比例します。

$$FIT = \frac{10^9}{MTTF} \quad \text{式2-2}$$

したがって、式2-2を式2-1に代入すると、合計MTTFは式2-3で表すことができます。

$$\frac{1}{MTTF_{Total}} = \frac{1}{MTTF_1} + \frac{1}{MTTF_2} + \dots + \frac{1}{MTTF_i} \quad \text{式2-3}$$

下付き文字は、興味のあるアプリケーションに関連する信頼性ストレス源に割り当てられます。式2-3に基づいて、最小の分母が最小のMTTFを生成し、したがって、全体の寿命を支配することが分かります。設計および動作中に最も弱い関係が最も考慮される必要があるため、どのストレス源が信頼性の制限要因であるかを理解することが重要です。

ほとんどのアプリケーションでは、デバイスは、ミッション寿命全体にわたって、さまざまなバイアス条件やさまざまな温度プロファイルの組み合わせなど、各種ストレス条件に曝されます。各ストレス条件は、 $FR_a$ 、 $FR_b$ 、...、 $FR_n$ として指定される特定の故障率(単位時間当たりの故障数)に対応します。各ストレス条件のそれぞれの継続時間は、 $t_a$ 、 $t_b$ 、...、 $t_n$ として示されます。 $t_{total} = t_a + t_b + \dots + t_n$ が $10^9$ 時間であると仮定すると、合計故障数のFITの計算は、特定の信頼性ストレス条件に対して、次のように一般化されます。

$$FIT = FR_a \cdot t_a + FR_b \cdot t_b + \dots + FR_n \cdot t_n \quad \text{式2-4}$$

時間平均故障率FRは、

$$FR = FR_a \frac{t_a}{t_{total}} + FR_b \frac{t_b}{t_{total}} + \dots + FR_n \frac{t_n}{t_{total}} \quad \text{式2-5}$$

と計算できます。これに、以下の分数の演算時間を導入して簡略化すると、

$$i = \frac{t_i}{t_{total}} \quad \text{式2-6}$$

a、b、...、nと表記されます。a、b、...、nの合計は100%となり、式2-7で与られます。

$$a + b + \dots + n = 100\% \quad \text{式2-7}$$

式2-5は次のように簡略化できます。

$$FR = FR_a \cdot a + FR_b \cdot b + \dots + FR_n \cdot n \quad \text{式2-8}$$

各サブストレス条件下での故障率は、同じ数の故障が発生した場合、デバイス寿命LT [4]に反比例することが知られています。この関係が式2-9です。

$$FR \propto \frac{1}{LT} \quad \text{式2-9}$$

式2-9を式2-8に代入すると、式2-10が得られます。

$$\frac{1}{LT_{Total}} = \frac{a}{LT_a} + \frac{b}{LT_b} + \dots + \frac{n}{LT_n} \quad \text{式2-10}$$

ここで、 $LT_{Total}$ は合計の予測寿命、 $LT_i$ は各ストレス条件の予測寿命です。

式2-10は、複数のストレス条件で構成されるミッション・プロファイルがシステム寿命にどのような影響を与えるかを示しています。分子内の分数の演算時間(a、b、...、n)は、厳しいストレス条件、中程度のストレス条件、および軽度のストレス条件で費やされた時間を表します。

## セクション3: 摩耗メカニズム

### 3.1. ゲートの摩耗

#### 3.1.1. ゲートの摩耗メカニズムの概要

GaN トランジスタのデバイスを適切に駆動するためには  $5 V_{GS}$  が必要ですが、公称バス電圧(約5V)からデータシートの最大仕様( $V_{GS,Max} = 6V$ )までのマージンがわずかです。10~25年のミッション寿命全体にわたってゲート・バイアスが  $6 V_{GS,Max}$  以下に保たれていれば、故障率は実質的にゼロ(100万分の1以下)になると予想されます。過渡過電圧が  $6 V_{GS}$  を超える場合、デューティ比1%ベースの過電圧仕様がデータによってサポートされ、ゲート過電圧による寿命を予測する方法が開発されています。

#### 3.1.2. ゲートの信頼性モデル

ゲートの摩耗メカニズムを理解するために、代表的なGaN HEMT (EPC2212)の4つのグループと、グループ当たり32個のデバイスを、ゲートの最大定格電圧( $V_{GS(max)}$ )の6Vを大幅に上回る8V、8.5V、9V、9.5Vのバイアス電圧で、4つの異なる加速ストレス条件下でテストしました。9Vと9.5Vでは、故障は非常に早く発生しましたが、8Vと8.5Vでは、より長い時間がかかりました。故障が特定された後、すべてのテスト電圧で多数の故障に対して故障解析を実施し、一貫した故障モードが見つかりました。図3-1は、解析されたすべての故障で観測された故障モードを示しています。ゲート故障の位置は、シリコン窒化物誘電体がゲート金属とフィールド・プレート金属の間に挟まれている場所です。

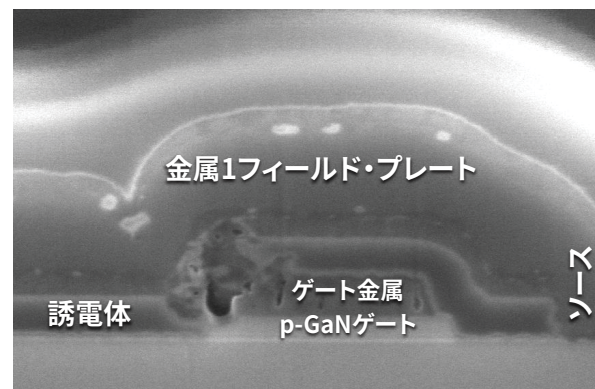


図3-1. ゲート故障の走査型電子顕微鏡(SEM)画像。ゲート金属とフィールド・プレート金属の間に絶縁破壊が見られます。

故障解析によって見つかったすべての観測結果を説明するために、衝突電離モデルを導入し、2段階プロセスで開発しました [1,5]。ゲート摩耗の原因となるメカニズムとして衝突電離を特定したことで、p-GaN ゲートに適用できる以下の寿命モデルを開発しました [5]。

$$MTTF = \frac{Q_c}{G} = \frac{qQ_c}{\alpha_n I_n} = \frac{A}{(1-c\Delta T)} \exp\left[\left(\frac{B}{V+V_0}\right)^m\right] \quad \text{式 3-1}$$

以下にパラメータを示します：

- $m = 1.9$
- $V_0 = 1.0 \text{ V}$
- $B = 57.0 \text{ V}$
- $A = 1.7 \cdot 10^{-6} \text{ s}$
- $c = 6.5 \cdot 10^{-3} \text{ K}^{-1}$

図 3-2 は、寿命方程式 (式 3-1) を EPC2212 の測定した加速データに対してプロットしています。この近似値を生成するために、式 3-1 の A と B を除くすべてのパラメータを固定しました。この結果として得られた B の最適近似値 (ゲートの厚さで割って電界に変換した場合は  $7.6 \times 10^6 \text{ V/cm}$  となり、Ooi の値  $7.2 \times 10^6 \text{ V/cm}$  [6] と非常によく一致しました。

図 3-3 は、 $-75^\circ\text{C}$ 、 $25^\circ\text{C}$ 、 $125^\circ\text{C}$  における寿命方程式の温度依存性です。温度依存性 (パラメータ c に含まれる) は、データに適合せずに Ozbek [7] から直接取得されています。MTTF は、高温において、低温よりもわずかに高くなることに注意してください。これは直感に反しますが、フェーズ 14 のレポート [5] で報告した測定データと一致しています。

MTTFとゲート電圧の関係

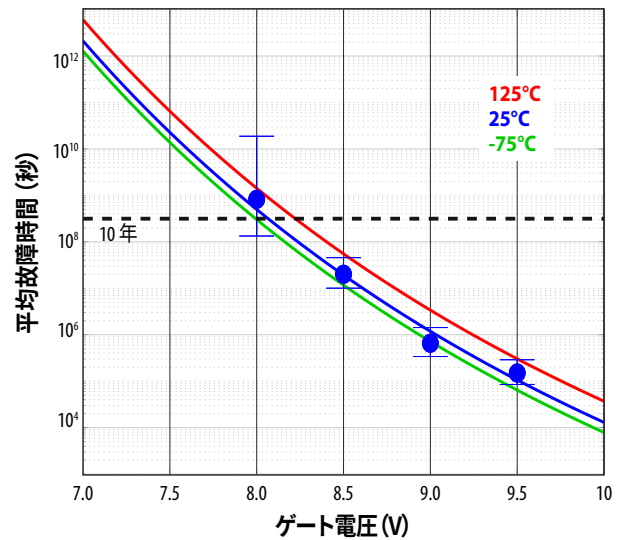


図3-3: 4種の異なるゲート・バイアスで測定した EPC2212 ( $25^\circ\text{C}$ ) の MTTF。青色の線は寿命モデル。赤色の線と緑色の線は、それぞれ  $125^\circ\text{C}$  と  $-75^\circ\text{C}$  での寿命モデルの予測です。

### 3.1.3. 物理ベースのゲート寿命モデルの概要

GaN トランジスタのゲート寿命の衝突電離モデル (式 3-1) は、観測した多くの要因をうまく説明します：

- MTTF の正の温度係数 (半導体の故障物理では珍しい)。
- ゲート・バイアスによる非常に高い加速、およびゲート・バイアスの減少時に指数関数よりも急な加速。
- 絶縁破壊よりもはるかに低い電界強度で高品質の  $\text{Si}_3\text{N}_4$  膜を貫通する誘電体破損 (隣接する pGaN 領域からの正孔注入とトラップの結果)

この寿命方程式は、MOSFET 用に開発した標準的な信頼性モデルから単純に借用したものではありません。実際、故障の根本的物理から構築され、特にエンハンスメント・モード GaN トランジスタに適用可能な最初のゲート寿命モデルを表しています。

### 3.1.4. ゲート過電圧の調査

デバイスのオン過渡時のゲート過電圧スパイクは、高周波、高速スイッチングの変換用途における窒化ガリウム高電子移動度トランジスタ (GaN HEMT) でよく見られます [8]。ゲート過電圧時の過渡の大きさは、主にゲート・ループ・インダクタンスとスルーレート ( $V_{GS}/dt$ ) によって決まり、これらは両方とも回路設計とプリント回路基板のレイアウトに密接に関連しています [10]。したがって、GaN HEMT のゲート過電圧能力と、さまざまな過電圧ストレス下での関連寿命を理解することが重要です。

予測寿命の結果は、ゲートがデータシートの最大限度である  $6 V_{GS,Max}$  よりも低いバイアスをかけられた場合、故障率が 25 年間で 1 ppm (100 万分の 1) 以下になることが予測されています。この

故障するまでの時間と  $V_{GS}$  の関係

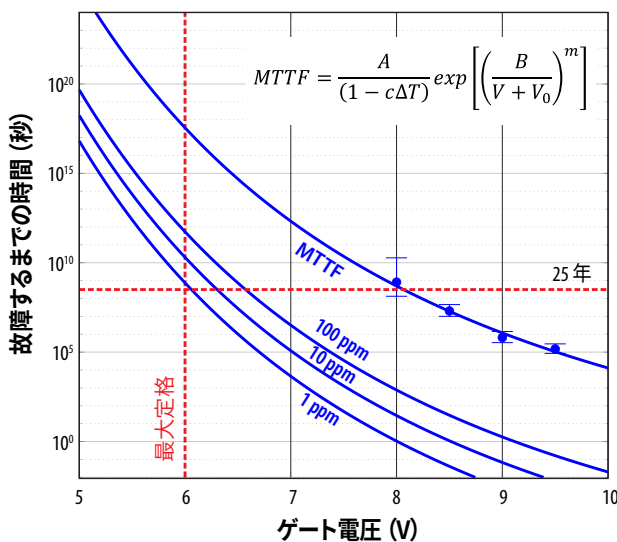


図3-2:  $25^\circ\text{C}$  での EPC2212 の MTTF 対  $V_{GS}$  (およびエラーバー) を 4 種の異なる電圧レグについて示しました。実線は衝突電離寿命モデルに対応しています。100 ppm、10 ppm、1 ppm の故障までの時間の外挿も示しました。

実質的にゼロの故障率は、自動車、衛星、高度な企業向けサーバーといった非常に要求の厳しいアプリケーションにもかかわらず、ゲート故障が一度も確認されていないEPCの現場経験とも一致しています。この予測した極めて低い故障率は、ゲート全体の信頼性に対する信頼を築くことに役立ちますが、スイッチング中にゲート過電圧スパイクが繰り返し発生する場合、全体の寿命を正確に推定する方法は提供されません。

実際のアプリケーションでは、一般的なミッション・プロファイルは簡略化され、図3-4 [8,12] に示しています。各スイッチング期間 ( $t_s$ ) には、主に過電圧期間  $t_1$  とバス電圧期間  $t_2$  という2つの期間が含まれます。

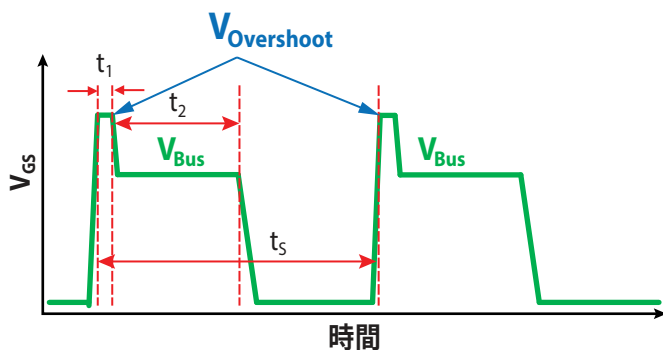


図3-4: 実際のアプリケーションにおける通常のゲート・スイッチング波形の図。  $t_1$  は各期間のゲートのオーバーシュートの持続時間、  $t_2$  は各スイッチング期間内の公称バス電圧のバイアス持続時間です。  $t_s$  はスイッチング周波数に依存するスイッチング期間です。

セクション2で導入した数学的アプローチに従い、図3-4に示す期間を使って、ゲートのオーバーシュート期間と通常のバス電圧期間を考慮して全寿命を推定する式3-2が求められます。

$$\frac{1}{T_{Total}} = \frac{a}{T_{VG_{Overshoot}}} + \frac{b}{T_{VG_{Bus}}} \quad \text{式3-2}$$

式3-3では、オーバーシュートのデューティ比という別の用語が導入されています。ここで、  $DC_{overshoot}$  は、各スイッチング期間内のゲート過電圧の持続時間  $t_1$  と、スイッチング周波数に反比例するスイッチング期間  $t_s$  との比です。

$$DC_{overshoot} = \frac{t_1}{t_s} \quad \text{式3-3}$$

式3-2と3-3のモデルをさらに説明するために、セクション3.1.2で示したデータに基づいて、次の説明で2つの例を示します。EPC2212の公称バス電圧が5.5Vであると仮定します。過電圧は、6.6V ( $V_{GS,Max} = 6V$ ) と計算され、公称バス電圧の120%と推定されます。オーバーシュートのデューティ比は、式3-3と図3-4で定義されているように、約1%になると予想されます。

計算を簡略化するために、ゲートは99%の時間、5.5Vで動作していると仮定しますが、実際のアプリケーションでは常に別のデューティ比が関係します。したがって、公称駆動条件にオーバーシュートの影響を加えると、EPC2212 (GaNデバイス) の寿命は、10 ppmの故障率 (テストした100万個当たり10個のデバイス故障) で  $1.64 \times 10^9$  秒、つまり51年になると予測されます。

別の例では、GaNデバイスが設計のうまくない回路で使われ、ゲート端子で、同じ1%のオーバーシュートのデューティ比で、オン過渡時に7Vのゲート電圧スパイクが繰り返し発生します。この極端な例では、バス電圧  $V_{Bus}$  は99%の時間で5.5Vのままです。約16年経過しても、故障率は、わずか100 ppmにとどまると予想されます。

データシートの最大制限を超えるゲート信頼性を調査するために、GaNデバイスに故障するまでのテストのアプローチを適用しました。この作業では、過電圧ストレス条件や公称バス電圧のバイアス条件など、さまざまなゲート・バイアス条件でのそれぞれの寿命を考慮した包括的な寿命方程式を提供します。  $V_{Bus}$  の120%でゲートのオーバーシュートのデューティ比の1%に基づく予測寿命は、故障率10 ppmで25年を大幅に超えることが予想されます。この結果は、ゲート過電圧の信頼性が優れていることを示しています。

## 3.2 ドレインの摩耗

### 3.2.1 ドレインの摩耗メカニズムの概要

同じ故障するまでのテスト手法は、ドレイン関連の摩耗メカニズムの調査にも適用されます。GaNトランジスタのユーザーの間で最もよく懸念されることの1つは、特にさまざまなサプライヤの旧世代製品に基づく経験から、動的オン抵抗  $R_{DS(on)}$  です。これは、デバイスが高いドレイン・ソース間電圧 ( $V_{DS}$ ) に曝されると、トランジスタのオン抵抗が増加する状態です。GaNの主な摩耗メカニズムが明らかにされ、第一原理からモデル化され、電圧、温度、周波数、電流などのさまざまなパラメータに対する動的  $R_{DS(on)}$  シフトを予測する包括的な寿命方程式が導き出されます。スイッチング用途中に過電圧スパイクが観測された場合、別のデューティ比ベースの過電圧仕様を設定されます。

### 3.2.2 物理ベースの動的 $R_{DS(on)}$ および寿命モデル

フェーズ15のレポート[1]に示されているように、オン抵抗の増加を引き起こす主なメカニズムは、ドレイン電極付近での電子のトラップです。トラップされた電荷が蓄積すると、オン状態の2次元電子ガス (2DEG) から電子が枯渇し、  $R_{DS(on)}$  が増加します。

図3-5は、1~2  $\mu\text{m}$  の光学範囲での熱放射を示すEPC2016C (GaNトランジスタ) の拡大画像です。スペクトルのこの部分の放射は、ホット・エレクトロンと一致しており、デバイス内の位置は、デバイスがドレイン・ソース間バイアス下にあるときに最も高い電界の位置と一致しています。

デバイスのこの領域にあるホット・エレクトロンがトラップされた電子の源であることを知ることで、設計とプロセスを改善して得られる動的オン抵抗を最小化する方法を、より深く理解することができます。ホット・エレクトロンの一般的な動作を理解することで、より

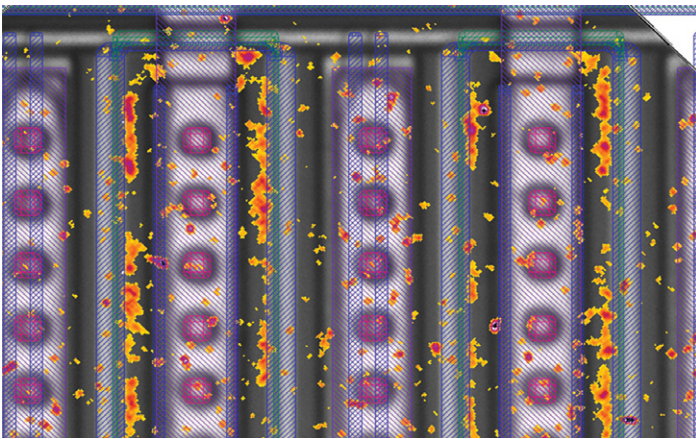


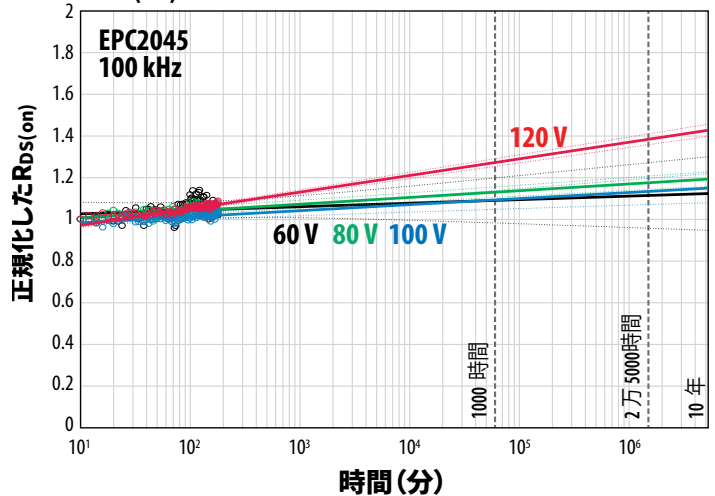
図3-5: EPC2016C (GaNトランジスタ) の拡大画像。ホット・エレクトロンと一致する波長1~2 μmの短波赤外光範囲 (SWIR) での発光を示しています。SWIR発光 (赤色~オレンジ色) は、通常の (可視波長の) 顕微鏡画像と、設計フォトマスクの半透明画像 (紫色) に重ねて表示しています。

広範囲のストレス条件におけるホット・エレクトロンの振る舞いを一般化することができます。

図3-6は、ドレイン付近のピーク電界によってホット・エレクトロンのトラップが加速されるという知見に基づいて設計された第5世代GaNトランジスタEPC2045 [13] の $R_{DS(on)}$ が、さまざまな電圧ストレスのレベルと温度で時間の経過と共にどのように増加するかを示しています。上のグラフでは、デバイスを25°C、60V~120Vの電圧でテストしました (EPC2045の $V_{DS(max)}$ は100Vです)。横軸は分単位で測定した時間を示し、右側は10年で終わります。下のグラフは、異なる温度、120Vでバイアスしたときの $R_{DS(on)}$ の変化を示しています。直感に反する結果ですが、オン抵抗は低温でより速く増加します。これはホット・キャリア注入と一致しています。ホット・エレクトロンは低温では散乱イベント間でより遠くまで移動するため、特定の電界によって、より大きな運動エネルギーに加速されるからです。この結果、電子は、より高いエネルギーでさらに散乱し、トラップされる可能性が高い層に到達します。デバイスを最大電圧と最大温度でテストする従来のテスト方法では、デバイスの信頼性を判断するために十分ではない可能性があることを示唆しています。

結果の最初の発表 [5,9,14] では、MTTFは35°Cや150°Cよりも90°Cの方が長いことが分かりましたが、これは当時、謎でした。現在では、結果がよりよく理解できます。デバイスが直流バイアス下で加熱されると、漏れ電流が増加します。ただし、ホット・キャリアの平均自由行程が短くなると、利用可能な電子の増加が上回り、 $R_{DS(on)}$ の増加率は、室温から90°Cまで低下していきます。90°Cを超える温度では、漏れは増加し続け、 $R_{DS(on)}$ の増加率はわずかに上昇します。

**$R_{DS(on)}$ シフトと時間、 $V_{IN}$ の関係 (25°C)**



**$R_{DS(on)}$ シフトと温度の関係**

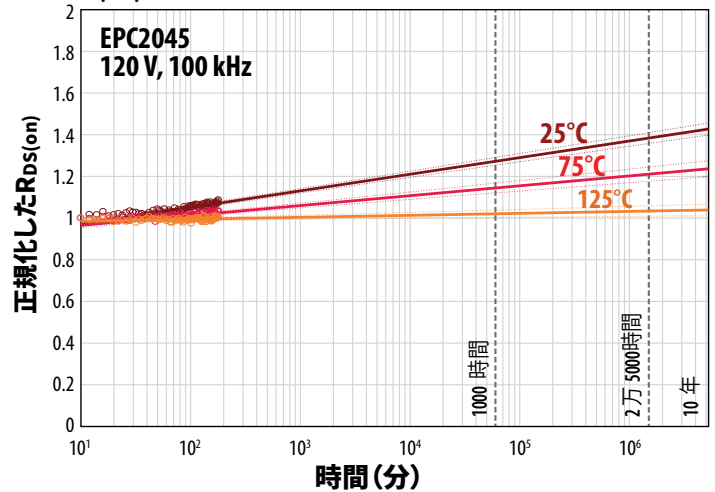


図3-6: 第5世代GaNトランジスタであるEPC2045の $R_{DS(on)}$ のさまざまな電圧ストレス・レベルと温度での経時変化。上のグラフは、デバイスを25°C、60V~120Vの電圧でテストしています。下のグラフは、さまざまな温度、120Vでの $R_{DS(on)}$ の変化です。

印加したドレイン・バイアスが $V_{DS,Max}$ の120%以下である場合、トラップされた電荷密度が2DEGキャリア濃度よりも大幅に小さいことを示すときの $R_{DS(on)}$ 増加のモデルを式3-4に示します。

式3-4

$$\frac{\Delta R}{R} = a + b \log \left( 1 + \exp \left( \frac{V_{DS} - V_{FD}}{\alpha} \right) \right) \sqrt{T} \exp \left( \frac{\hbar \omega_{LO}}{kT} \right) \log(t)$$

**独立変数:**

$V_{DS}$  = ドレイン電圧 (V)  
 $T$  = デバイス温度 (K)  
 $t$  = 時間 (分)

**パラメータ:**

$a$  = 0.00 (単位なし)  
 $b$  =  $2.0E-5$  ( $K^{-1/2}$ )  
 $\hbar\omega_{L0}$  = 92 meV  
 $V_{FD}$  = 100 V (Gen5の100 V製品のみに対応)  
 $\alpha$  = 10 (V)  
 $k$  = ボルツマン定数 = 0.0862 meV/K

多くのユーザーは、所望の品質または信頼性の要件を満たすために、特定の使用条件下での寿命の見積もりを必要としています。寿命（ハードスイッチング条件下で）を、 $R_{DS(on)}$  が初期値から20%上昇する時間を  $\langle t \rangle$  として定義すると、式3-4から、故障までの時間を求められます。

$$\langle t \rangle = \exp \left[ \frac{(0.2-a)}{b \log \left( 1 + \exp \left( \frac{V_{DS} - V_{FD}}{\alpha} \right) \right) \sqrt{T} \exp \left( \frac{\hbar\omega_{L0}}{kT} \right)} \right] \quad (\text{分}) \quad \text{式3-5}$$

この式は、動作電圧と温度の関数として、ハードスイッチング条件下での予想されるMTTFを示します。通常、最悪値（最高電圧、最低温度）は下限値として使われます。前述と同様に、寿命は分単位になります。寿命の他の定義も適用でき、同様に式3-4から抽出できます。

**3.2.3. スwitchング周波数とスイッチング電流の影響**

これまでの分析では、スイッチング周波数 ( $f$ ) とスイッチ電流 ( $I$ ) が  $R_{DS(on)}$  増加特性に与える影響は無視しています。この電流は、ハードスイッチング遷移中に高電界領域に注入される電子の数に直接影響するため、ホット・キャリア密度に線形の影響を及ぼします。同様に、スイッチング周波数は、特定の時間間隔でドレインに現れるホット・キャリア・パルス数を決定するため、表面トラップ率にも線形の影響を及ぼします。

表面トラップ率が周波数 ( $f$ ) と電流 ( $I$ ) の両方に線形に比例すると仮定すると、 $f$  と  $I$  の影響が式3-6に含まれ、1つのスイッチング条件 ( $f_1, I_1$ ) での  $R_{DS(on)}$  の増加を別のスイッチング条件 ( $f_2, I_2$ ) に関連付けるための単純なスケール項が導出されます。

$$R(t; f_2, I_2) = R(t; f_1, I_1) + b \left( \log \left( \frac{f_2}{f_1} \right) + \log \left( \frac{I_2}{I_1} \right) \right) \quad \text{式3-6}$$

数学的には、スイッチング周波数または電流を変更する影響は、 $R_{DS(on)}$  増加曲線が垂直方向にわずかにオフセットされるだけです。オフセットは  $f$  と  $I$  の対数に依存するため、これらの変数に対する依存性は基本的に弱くなります。さらに、オフセットは  $\log(t)$  増加

特性の全体的な傾き  $b$  に依存します。したがって、FET が  $R_{DS(on)}$  の上昇が低い（傾き  $b$  が小さい）条件下で動作する場合、周波数または電流を変更しても影響は無視できます。

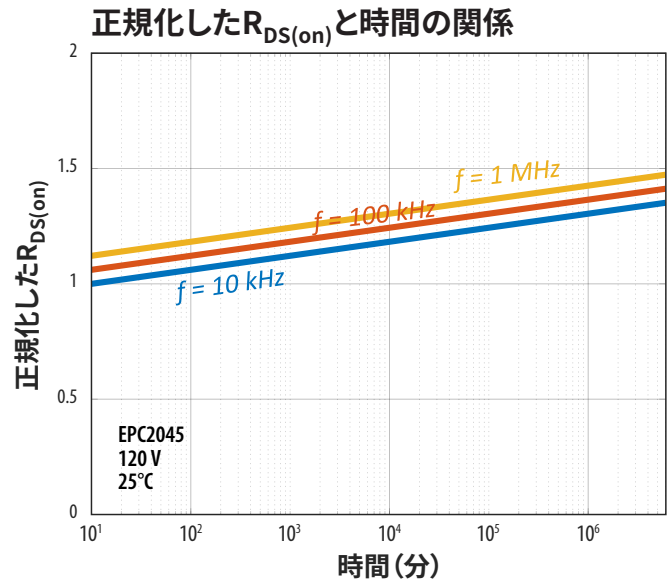


図3-7: 2桁の範囲をカバーする3種の異なるスイッチング周波数での正規化した  $R_{DS(on)}$  と時間の関係。周波数変更の影響は、増加特性における小さな垂直オフセットであることに注意してください。同じオフセットは、異なるスイッチ電流でも発生します。

図3-7は、10 kHzから1 MHzまでの3種の異なるスイッチング周波数におけるEPC2045の正規化した  $R_{DS(on)}$  と時間の関係です。この曲線は、垂直方向に互いにオフセットされているだけであることに注意してください。異なるスイッチ電流を比較した場合も同じです。オフセットは  $f$  (または  $I$ ) の対数として変化するため、スイッチング周波数 (または電流) が10倍増加しても、測定と投影における±10%の雑音のために、実験的に観測することは困難です。

**3.2.4. 高いストレス電圧の影響**

トラップされた電荷の量が2DEGで利用可能な電子の数に近づく場合（表面にトラップされた電荷 ( $Q_s$ ) が2DEGの内蔵圧電電荷 ( $Q_p$ ) に近づく場合）、式3-4を生成するために使われた単純化された仮定は、もはや有効ではありません。この状況は、デバイスに設計限界をはるかに超える電圧が加えられたときに発生する可能性があります。図3-8は、75°Cと125°Cで最大150 VまでテストしたEPC2045の結果です。単純な  $\log$  (時間) 依存性で発生する直線外挿がもはや適用できないことに注意してください。  $Q_p$  のごく一部だけがトラップされて  $Q_s$  に変換されるという単純化された仮定を取り除くと、式3-7に示す結果が得られます。

拡張されたパラメータ・リストを使って式3-7を計算すると、図3-8の実線が得られ、この物理ベースのモデルの妥当性と適用可能性のさらなる証拠が示されます。

$$\frac{\Delta R}{R} = a_1 \left[ \frac{a_2 \Psi \log(1 + a_3 t / \Psi)}{1 - a_2 \Psi \log(1 + a_3 t / \Psi)} \right]$$

ここで:

$$a_1 \equiv \frac{C}{Q_P} \quad a_2 \equiv \frac{1}{Q_P} \quad a_3 \equiv B \quad \text{式 3-7}$$

拡張されたパラメータ・リストは次のようになります:

- $a_1 = 0.6$  (単位なし)
- $a_2 = b/a_1$  (ここで [5,9] から  $b = 2.0E-5 K^{-1/2}$ )
- $a_3 = 1000 (K^{1/2} \text{分}^{-1})$
- $b = 2.0E-5 (K^{-1/2})$
- $\hbar\omega_{L0} = 92 \text{ meV}$
- $V_{FD} = 100 \text{ V}$  (Gen5 100 V の製品のみに対応)
- $\alpha = 10 \text{ (V)}$
- $T = \text{デバイス温度 (K)}$
- $t = \text{時間 (分)}$

### 3.2.5 200 V のモデル

同様の分析を 200 V の GaN トランジスタに対しても実施しました。

- $a_1 = 0.6$  (単位なし)
- $a_2 = 2.8 \cdot b/a_1$  (ここで [7] から  $b = 2.0E-5 K^{-1/2}$ )
- $a_3 = 1000 (K^{1/2} \text{分}^{-1})$
- $b = 2.0E-5 (K^{-1/2})$
- $\hbar\omega_{L0} = 92 \text{ meV}$
- $V_{FD} = 210 \text{ V}$  (Gen5 200 V の製品のみに対応)
- $\alpha = 25 \text{ (V)}$  (Gen5 200 V の製品のみに対応)
- $T = \text{デバイス温度 (K)}$
- $t = \text{時間 (分)}$

図3-9は、このモデルを 200 V のデバイスの測定値と比較したものです。上図は、第5世代の 200 V 定格の EPC2215 に対して 3 種の電圧での正規化した  $R_{DS(on)}$  です。最大電圧の 280 V は、最大定格より 40% 高い値です。下図は、2 種の異なる温度と最大定格電圧でのモデルと比較した測定値です。

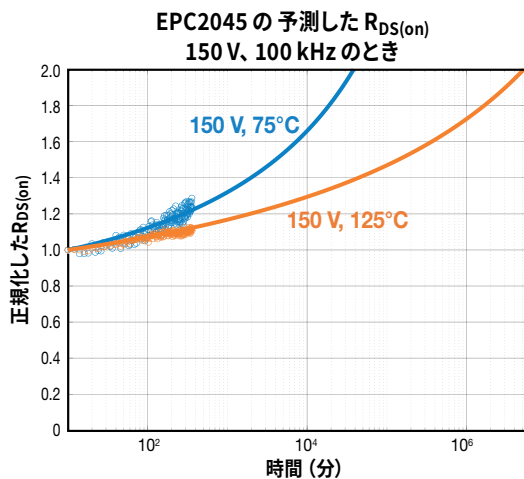
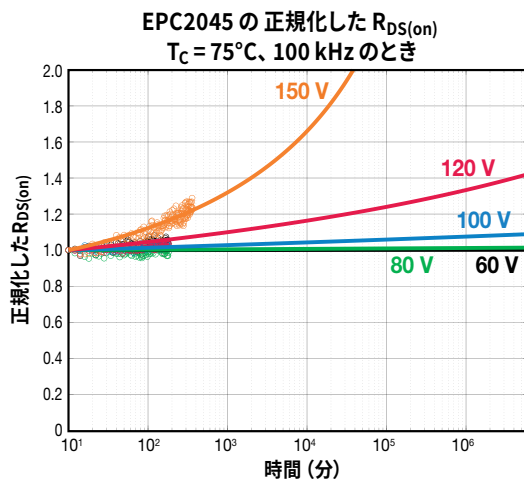


図3-8: ハードスイッチング回路内の 100 V の EPC2045 を、設計定格の 150% までのさまざまな電圧 (上図) と、同じく設計定格の 150% で 2 つの異なる温度 (下図) で動作させたときの様子。実線はモデル予測値、点は測定点を表しています。

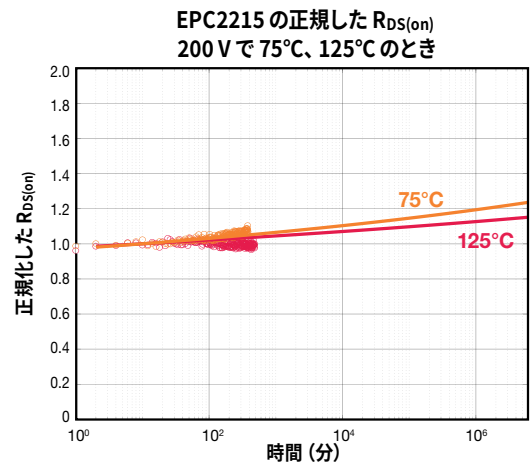
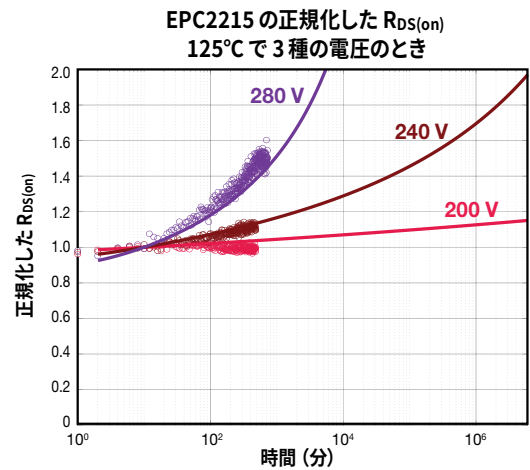


図3-9: (上図) 200 V の EPC2215 の 3 種の電圧での正規化した  $R_{DS(on)}$ 。280 V は最大定格電圧よりも 40% 高いことに注意してください。(下図) 75°C と 125°C、200 V での EPC2215。実線は 200 V デバイスの変数を使ったモデルの結果であり、点は実際の測定値です。

### 3.2.6. ドレイン過電圧の仕様

過渡ドレイン電圧のオーバーシュートは、高スルー・レートおよび高速スイッチングの用途である窒化ガリウム・ベースのコンバータでよく見られます。GaN サプライヤの過渡過電圧の仕様の調査が JEDEC JC-70 委員会によって実施され、JEP186 [15] で発表されました。過渡過電圧仕様のほとんどは、これをデバイスの耐久性の指標として記述しています。さらに、それらの多くは、ドレイン電圧のオーバーシュートを単一のまれなイベントまたは異常な発生と見なしています。このため、アプリケーション・エンジニアがこれらの仕様を設計に効果的に実装することは困難です。したがって、GaN HEMT にはアバランシェ・メカニズムがないため、データシート上のアプリケーション主導でユーザー・フレンドリな繰り返し過渡オフ状態のドレイン過電圧仕様は、GaN 技術の一般的な採用にとって重要です。

抵抗負荷のハードスイッチング・システム（「高速 dR」とも呼ばれています） [1,5,9,14] を、累積ドレイン・オーバーシュート・ストレス下での動的  $R_{DS(on)}$  シフトを調べるために開発しました。このシステムは 100 kHz で動作し、85% の時間で GaN のテスト対象デバイス (DUT) を指定されたオフ状態ドレイン電圧で逆バイアスします。故障時間を決定する際には、予測される 25 年間のストレス後の初期  $R_{DS(on)}$  値と比較して、20% の  $R_{DS(on)}$  シフトを故障の基準として使います。式 3-4 は、現場でモニターした  $R_{DS(on)}$  が初期値 ( $R_0$ ) に対して、20% 以上シフトしたとき、故障するまでの時間を外挿するために使います。このアプローチは、一般的なデータシートの最大  $R_{DS(on)}$  制限よりも厳格です。

100 V の第 5 世代 GaN 製品群を、 $V_{DS,Max}$  の 120% (120 V)、共通ミッショントemperature である 75°C の接合部温度で、高速 dR システムによってテストしました。EPC2045 は、第 5 世代の 100 V 製品ファミリーとして発売された最初の 100 V 定格の GaN 製品です。EPC2045 は、このような加速条件下でのテストに初めて使われました。図 3-10 はテスト結果を示しています。ここでは、90% の上限信頼水準を考慮すると、DUT は約  $2 \times 10^5$  分で 20% の  $R_{DS(on)}$  シフト制限を超えると予測されます。寿命の外挿は、対数時間の関係に基づいています。

85% を掛けると  $1.7 \times 10^5$  分となり、これは DUT が 120 V、75°C で継続的にオフ状態にバイアスされている場合の全寿命を表します。予想される全寿命の 25 年 ( $1.3 \times 10^7$  分に相当) と比較すると、 $1.7 \times 10^5$  分は全寿命の約 1.3% に相当します。さらに余裕を持たせるため、25 年の 1% に丸めました。これで、全寿命に基づく過電圧仕様は  $1.3 \times 10^5$  分になりました。

この合計時間ベースの仕様をさらに検証するために、EPC2218、EPC2071、EPC2302、EPC2204 などの新しい 100 V 定格の GaN 製品に同じテスト条件を適用しました。図 3-11 は、リストした製品のテスト結果をまとめたものであり、すべての製品が  $1.3 \times 10^5$  分の寿命を上回ると予測されています。

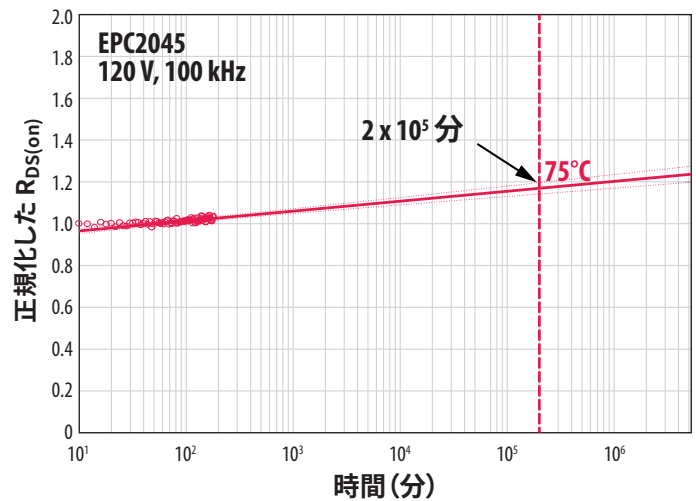


図3-10: 120 V、75°C でテストした第 5 世代の定格 100 V の GaN トランジスタである代表的な EPC2045 の  $R_{DS(on)}$  の変化。上限信頼水準の 90% を考慮すると、 $2 \times 10^5$  分で 20% の  $R_{DS(on)}$  シフトを超えると予測されます。

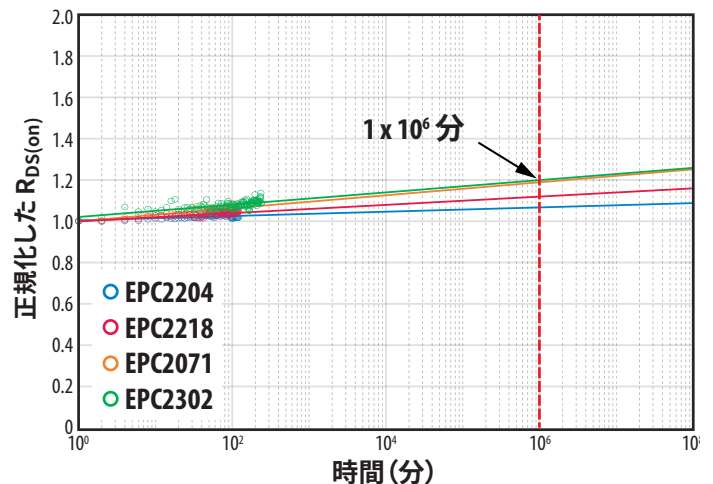


図3-11: 代表的な GaN トランジスタである EPC2204、EPC2218、EPC2071、EPC2302 の  $R_{DS(on)}$  の変化。定格は 100 V で、テストは 120 V、75°C で実施しています。これらのトランジスタは、最小  $1 \times 10^6$  分で  $R_{DS(on)}$  シフトが 20% 以下になると予測されており、EPC2045 に基づく  $2 \times 10^5$  分の寿命を大幅に上回っています。

この合計時間ベースの仕様は、各スイッチング・サイクル内で繰り返し発生するより短い期間にスケールリングできます。したがって、この繰り返し定格を指定する別の方法は、スイッチング期間にわたる各サイクルの過電圧期間の比率を計算することです。最初に説明した 1% のスケールリング係数です。これは、過電圧スパイクのデューティ比を計算することと同じです。

例えば、コンバータが100 kHzで動作する場合、スイッチング周期当たり10 μsに相当し、GaNデバイスは25年間の寿命にわたって、スイッチング周期ごとに持続時間100 nsで、120 Vの過電圧スパイクを繰り返し発生しても耐えられるはずで、この数学的関係は式3-8で示され、図3-12でさらに詳しく説明されています。

式3-8

$$\text{オーバーシュートのデューティ比} = \frac{75^\circ\text{Cでの120\%過電圧の期間}(T_0)}{\text{スイッチング周期}(T_s)} \leq 1\%$$

ここで、 $T_0$ は各スイッチング周期内の過電圧持続時間、 $T_s$ はスイッチング周期です。

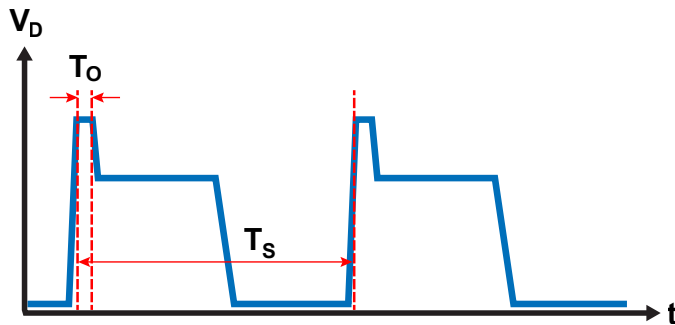


図3-12: オーバーシュートのデューティ比1%のときの過電圧仕様の図。1%は $T_0$  (過電圧期間)と $T_s$  (1スイッチング周期)の比率です。

この新しく提案された過電圧指定方法を検証するために、クランプされていない誘導スイッチング (UIS: unclamped inductive switching) 回路を開発しました[16,17]。図3-13はUISによって生成された過電圧パルスです。

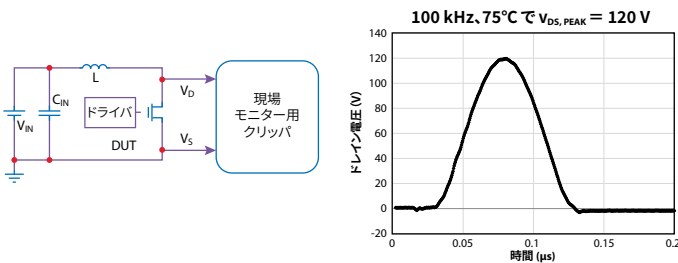


図3-13: クランプされていない誘導スイッチング回路と、その結果生じる動作周波数100 kHzでの $V_{DS,Peak}$ が120 Vの過電圧パルスの簡略化した回路図。

異なるウェハー・ロットからの定格100 VのGaNトランジスタが、動作周波数100 kHz、接合部温度75°Cでの120  $V_{DS,Peak}$ の過電圧スパイクによってストレスを受けます。図3-14から、3種の異なるウェハー・ロットからの代表的なEPC2218を数10億回のスイッチング周期でテストしたとき、非常に小さな動的 $R_{DS(on)}$ シフトを示していることがわかります。

ホット・キャリアのトラップに基づく同じ物理ベースの寿命モデルを、このようなドレイン過電圧ストレス下での寿命を予測するために適用しました。この予測は、長期連続動作における120%の過電圧ストレス下でのGaNデバイスの優れた耐久性を実証しています。各スイッチング周期

で、100  $V_{DS,Max}$ を超える期間は約25 nsで、120 Vのピーク・オーバーシュート電圧よりも短くなります。8 × 10<sup>8</sup> 秒 (25年)の終わりには、周波数100 kHzで乗算すると合計8 × 10<sup>13</sup> パルスに相当しますが、どのDUTも20%の $R_{DS(on)}$ シフトの故障基準を超えていませんでした。25 nsに8 × 10<sup>13</sup> パルスを乗算すると2 × 10<sup>5</sup>分となり、推定合計寿命1.3 × 10<sup>5</sup>分に近い値になります。このわずかな違いは、DUTが各パルスのごく短い部分のみ120 Vのピーク電圧に達するという事実によって説明できます。図3-13に示す電圧波形は、回路アプリケーションをリアルタイムでよりよく表しています。

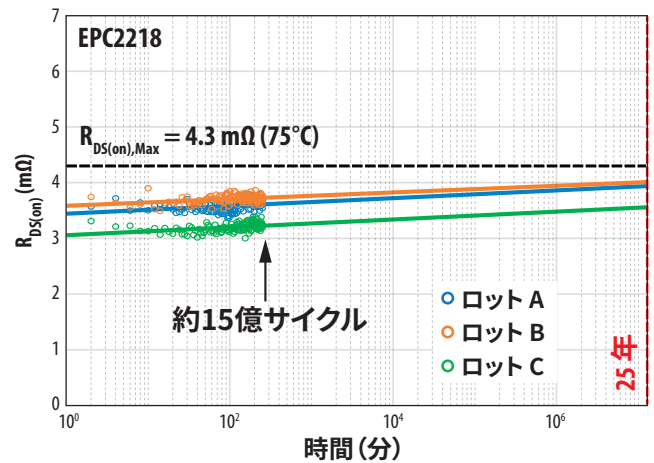


図3-14: 3種の異なるウェハー・ロットからの代表的なEPC2218をDUTとしたときの120  $V_{DS,Peak}$ 、75°CのUISテストで15億サイクル以上を経たときの動的 $R_{DS(on)}$ の変化。

代表的なパワー・クワッド・フラット・ノーリード (PQFN) ・パッケージの定格100 VのGaNトランジスタであるEPC2302も、120  $V_{DS,Peak}$ で100億回以上のスイッチング周期にわたって、UISでテストしました。予測寿命は、図3-15に示すように、このような過電圧ストレス条件下でのGaNデバイスの極めて高い耐久性を示しました。これによって、提案された過電圧仕様がさらに検証されます。

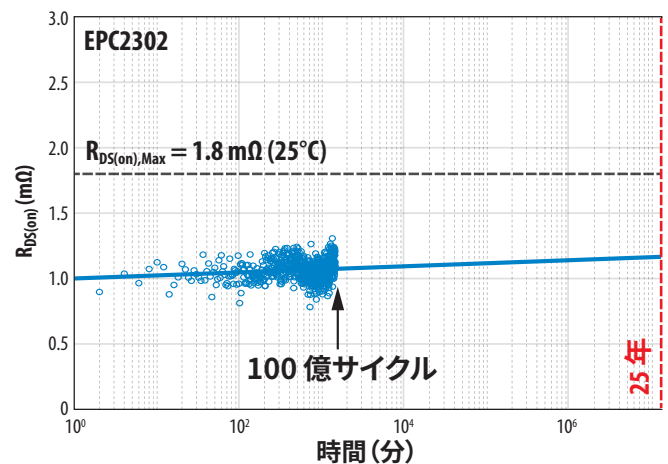


図3-15: 約100億スイッチング周期に対する120  $V_{DS,Peak}$ のUISテストにおける代表的なEPC2302をDUTとしてときの動的 $R_{DS(on)}$ の変化。

繰り返しドレイン過電圧仕様が提案され、抵抗負荷のハードスイッチング、およびクランプしていない誘導スイッチング・テスト回路によって検証されます。このデューティ比ベースの仕様は、アプリケーション・エンジニアがGaNデバイスを設計するためのより定量的で実装しやすいガイドラインを提供します。この作業は、GaN HEMTの極端な過電圧耐久性も実証します。

### 3.2.7. 物理ベースの動的 $R_{DS(on)}$ モデルの結論

EPCは、ハードスイッチング条件下でのGaNトランジスタの $R_{DS(on)}$ の上昇を説明する第一原理物理モデルを開発しました。このモデルは、ホット・エレクトロンが表面電位を介して表面誘電体の伝導帯に注入されるという仮定に基づいています。いったん内部に入ると、電子はすぐに、深いミッドギャップ状態に落ち、そこで永久にトラップされる（デトラップされない）と想定されます。ホット・エレクトロンはスイッチング遷移中に生成され、高注入電流と高電界の過渡的な組み合わせによって、高エネルギー領域に長いすそを持つホット・キャリア・エネルギー分布が生じます。

このモデルは、以下の観測結果を予測します：

- 時間の経過に伴って $R_{DS(on)}$ がわずかに増加します。
- 時間の経過に伴う $R_{DS(on)}$ の傾きには、負の温度係数があります（つまり、温度が上昇すると傾きが小さくなります）。
- スwitching周波数は傾きに影響しませんが、小さな垂直オフセットが発生します。
- スwitching電流は傾きに影響しません。

時間依存性は、2つの絡み合った効果、すなわち、(1) エネルギーが指数関数的であるホット・エレクトロンのエネルギー分布、(2) 誘電体への電子注入障壁を着実に上昇させる表面電荷 $Q_s$ の蓄積[9]を伴う急速に自己消滅する電荷トラップ・ダイナミクスに起因します。これらの効果の組み合わせによって、電荷が蓄積するにつれて、トラップ速度が指数関数的に遅くなり、時間依存性が遅くなります。トラップされた電荷の数が2DEG内の利用可能な電子の数に近づくと、 $R_{DS(on)}$ は直線のlog(時間)依存性よりも速く上昇するようになります。ただし、トラップ・メカニズムは、真のlog(時間)依存性に従い続けます。

負の温度依存性は、LO-フォノン散乱がホット・キャリアのエネルギー分布に与える影響によって生じます。温度が低いと、散乱が減少するため平均自由行程が向上し、電子は電界内で、より高いエネルギーを得ることができます。

数学モデルの主要なパラメータは、さまざまなドレイン電圧と温度にわたるEPC2045の測定結果に適合しました。このモデルによって、ユーザーは、ドレイン電圧、温度、スイッチング周波数、スイッチング電流という4つの主要な入力変数の関数として、長期的な $R_{DS(on)}$ の増加を予測できます。このモデルは、単純なMTTF方程式を提供するように適応されており、ユーザーは任意の条件下での寿命を予測できます。

## 3.3. 電流密度摩擦

### 3.3.1. 電流密度摩擦メカニズムの概要

GaNデバイスでは、大電流と高いドレイン-ソース間電圧が同時に発生すると、熱の制限が問題になることがあります。広範囲にわたる耐久性テストを実施した結果、データシートで指定されている安全動作領域の妥当性が検証されました。特定のアプリケーションでは、短絡故障状態に耐える能力が必須です。短絡テストを実施したところ、GaNは、このような極度のストレス条件下で優れた耐久性を示しました。デバイスが高い温度で連続的に大電流に曝されると、エレクトロマイグレーション (EM: electromigration) の耐久性がユーザーからしばしば質問されるようになります。加速EMテストをパワー・クワッド・フラット・ノーリード (PQFN) のデバイスで実施し、EMに対する優れた耐久性を実証しました。

### 3.3.2. 安全動作領域

安全動作領域 (SOA: safe operating area) テストでは、GaNトランジスタを指定されたパルス持続時間にわたって、同時に大電流 ( $I_D$ ) と高電圧 ( $V_{DS}$ ) に曝します。主な目的は、データシートのSOAグラフ内のすべてのポイント ( $I_D$ ,  $V_{DS}$ ) でトランジスタが故障することなく動作できることを確認することです。安全領域外で故障するまでテストすることで、安全マージンを調べるためにも使えます。SOAテスト中、チップ内の大きな電力消費によって、接合部温度が急激に上昇し、強い熱勾配が形成されます。十分に大きな電力またはパルス持続時間の場合、デバイスは単に過熱して、壊滅的に故障します。これは、熱過負荷故障と呼ばれます。

Si MOSFETでは、2次破壊 (またはスピリット効果 [18]) として知られる別の故障メカニズムがSOAテストで観測されています。高 $V_D$ および低 $I_D$ で発生するこの故障モードは、接合部温度としきい値 $V_{TH}$ の間の不安定なフィードバックによって引き起こされます。パルス中に接合部温度が上昇すると、 $V_{TH}$ が低下し、局所的な電流が増加する可能性があります。電流の上昇によって、今度は温度が急上昇し、それによって正のフィードバック・ループが成立し、熱暴走と最終的な故障につながります。この調査の目的は、GaNトランジスタにスピリット効果が存在するかどうかを判断することです。

直流または長時間パルスの場合、トランジスタのSOA能力は、デバイスの放熱に大きく依存します。これは、真のSOA能力を評価する上で大きな技術的課題となる可能性があり、多くの場合、特殊な水冷ヒートシンクが必要になります。ただし、短いパルス (1 ms以下) の場合、放熱はSOA特性に影響を与えません。これは、短い時間スケールでは、接合部で発生した熱が任意の外部ヒートシンクに拡散する時間が十分でないためです。代わりに、すべての電力がGaNフィルムと、近くのシリコン基板の温度 (熱容量) の上昇に変換されます。これらの考察の結果、SOAテストは、1 msと100  $\mu$ sの2種のパルス持続時間で実施しました。

図3-16は、200 VのEPC2034CのSOAデータです。このプロットでは、個々のパルス・テストは ( $I_D$ ,  $V_{DS}$ ) 空間の点で表されています。これらの点は、データシートのSOAグラフに重ねて表示しています。100  $\mu$ sおよび1 msのパルスの両方のデータを一緒に表示しています。緑色の点は、部品が合格した100  $\mu$ sのパルスに対応し、赤色の点は部品が故障した場所を示します。低 $V_{DS}$ から $V_{DSmax}$  (200 V) までの範囲で、SOAの広い領域で調べ、故障なしでした (すべて緑色の点)。すべての故障 (赤色の点) は、データシートのグラフで緑色の線で示されているSOAの外側で発生しました。同じことが1 msのパルス・データ (紫色と赤色の三角形) にも当てはまり、すべての故障はデータシートのSOAの外側で発生しました。

図3-17は、さらに3種の部品、すなわち、車載規格AEC準拠のEPC2212 (第4世代の車載用100 V)、EPC2045 (第5世代の100 V)、およびEPC2014C (第4世代の40 V) のSOAデータを示しています。すべての場合で、データシートの安全動作領域の調査では、故障なしで、すべての故障はSOA制限外で発生しており、多くの場合、制限を大幅に超えています。

データシートのSOAグラフは、熱伝導率および熱容量と共に、すべての関連層を含むそのデバイスの熱モデルを使って、有限要素解析で生成されます。過渡シミュレーションに基づいて、SOA制限は単純な基準で決定されます。つまり、特定のパルス持続時間に対して、電力消費は、パルスの終了前に接合部温度が150°Cを超えないようにしなければなりません。この基準によって、SOAグラフの45度の緑色 (100  $\mu$ s) と紫色 (1 ms) の線で示される一定電力に基づく制限が得られます。このアプローチによって、この調査の広範なテスト・データによって証明されているように、保守的な安全動作領域を定義するデータシートのグラフが作成されます。パワーMOSFETでは、同じ一定電力のアプローチによって、高電圧領域での能力が過大評価され、熱不安定性 (スピリット効果) によって早期に故障が発生します。

故障の正確な物理的性質はまだ明らかにされていませんが、この調査の主な結果は明らかです。すなわち、GaNトランジスタは、データシートのSOA内で動作するとき、故障しません。

### 3.3.3. 短絡耐性テスト

短絡耐性とは、FETがオン (導通) 状態のときに、アプリケーションで発生する可能性のある意図しない故障状態に耐える能力を指します。このような場合、デバイスには、トランジスタの固有の飽和電流と回路の寄生抵抗によってのみ制限される電流と組み合わされた完全なバス電圧が与えられます。これらは、アプリケーションと故障の場所によって異なります。短絡状態が保護回路によって解消されない場合、極端な電力消費によって、最終的にはトランジスタの熱故障が発生します。短絡テストの目的

EPC2034C 200 V

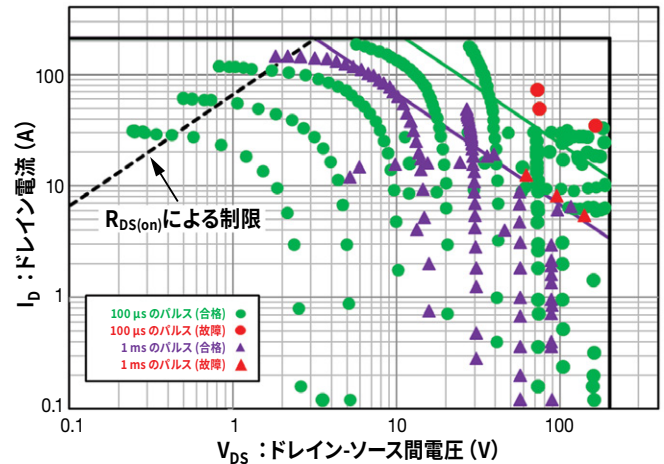
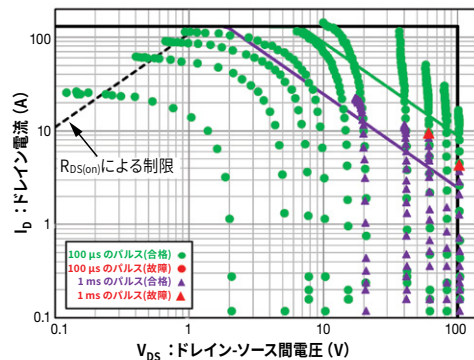
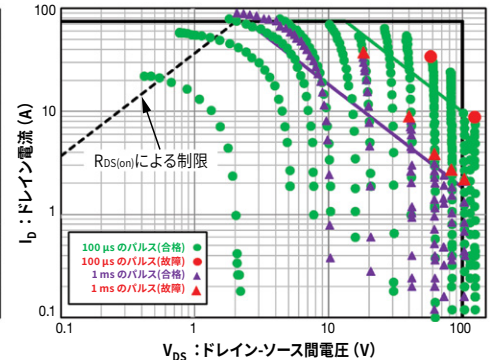


図3-16: EPC2034CのSOAプロット。「 $R_{DS(on)}$ による制限」の線は、150°Cでの $R_{DS(on)}$ のデータシートの最大仕様に基づいています。1 ms (紫色の三角形) と100  $\mu$ s (緑色の点) のパルスの測定値を一緒に表示しています。故障は、赤色の三角形 (1 ms) または赤色の点 (100  $\mu$ s) で示しました。すべての故障はデータシートのSOA領域外で発生することに注意してください。

EPC2045 100 V



EPC2212 100 V AEC



EPC2014C 40 V

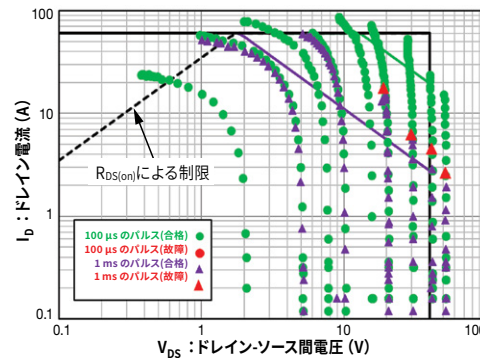


図3-17: EPC2045、EPC2212、EPC2014CのSOAの結果。1 ms (紫色の三角形) と100  $\mu$ s (緑色の点) のパルスの測定値を一緒に表示しています。故障は赤色の三角形で示しました。

は、これらの条件下で部品が耐えられる「耐性時間」を定量化することです。

一般的な保護回路 (IGBT のゲート・ドライバの非飽和保護など) は、2~3  $\mu\text{s}$  で過電流状態を検出して反応します。したがって、GaN トランジスタがクランプされていない短絡状態に約5  $\mu\text{s}$  以上耐えられることが望ましいことになります。

短絡耐性評価に使った2つの主なテスト回路は [28] に記載されています。これらは：

- ハードスイッチ故障 (HSF: Hard-switched fault) : ドレイン電圧が印加された状態でゲートがオン (およびオフ) に切り替わります。
- 負荷時故障 (FUL: Fault under load) : ゲートがオンのときにドレイン電圧がオンに切り替わります。

この調査では、デバイスを両方の故障モードでテストしましたが、耐性時間に有意な差は見つかりませんでした。したがって、この議論の残りの部分では、FULの結果に焦点を当てます。ただし、HSFテストでは、GaNトランジスタは、シリコン・ベースのIGBT [69] で発生する可能性のあるラッチや、ゲート制御の喪失を示さなかったことに注意することが重要です。これ結果は、GaNデバイスに寄生バイポーラ構造がないことを考えると予想された結果です。トランジスタが壊滅的に故障する時間まで、ゲートをローに切り替えることで短絡を完全に抑制できます。これは、保護回路設計にとって有利な機能です。

代表的な2種のGaNトランジスタをテストしました：

1. EPC2203 (80 V): 第4世代の車載品質 (AEC) デバイス
2. EPC2051 (100 V): 第5世代デバイス

これらのデバイスは、製品ファミリーの中で最も小さいため選択しました。これによって、短絡評価に必要な大電流によるテストが簡素化されました。ただし、単純な熱スケーリングの議論に基づく、耐性時間はファミリー内の他のデバイスでも同じであると予想されます。EPC2203の結果は、EPC2202、EPC2206、EPC2201、EPC2212も適応され、EPC2051はEPC2045とEPC2053も対象となります。

図3-18は、一連の増加するドレイン電圧に対するEPC2203の負荷時の故障データを示しています。 $V_{GS}$  が6V (データシートの最大値)、ドレイン・パルスが10  $\mu\text{s}$  のとき、 $V_{DS}$  が60Vになるまで故障しませんでした。これらの条件下では、チップ面積0.9×0.9 mmで1.5 kW以上が消費されます。 $V_{DS}$  が高くなると、パルス中に電流が時間の経過と共に減少することが分かります。これは、デバイス内の接合部温度が上昇した結果であり、恒久的な劣化を意味するものではありません。

より長いパルス持続時間 (25  $\mu\text{s}$ ) を使うと、部品は最終的に熱過負荷によって故障します。代表的な波形が図3-19です。故障の時間は、ドレイン電流の急激な上昇によって示されます。このイベントの後、デバイスは永久に損傷します。耐性時間は、パルスの開始から故障までの時間で測定されます。

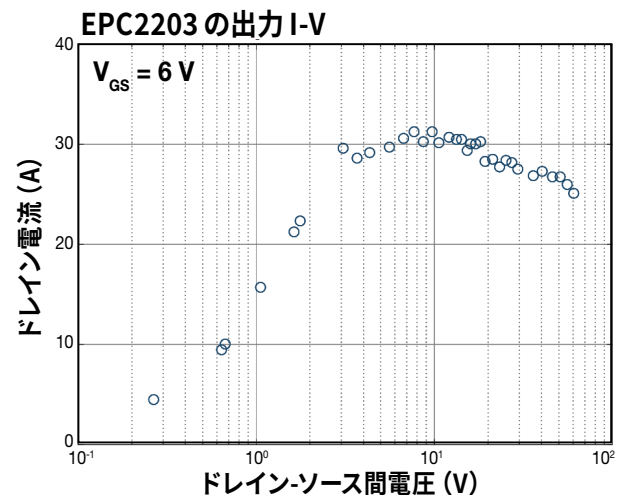
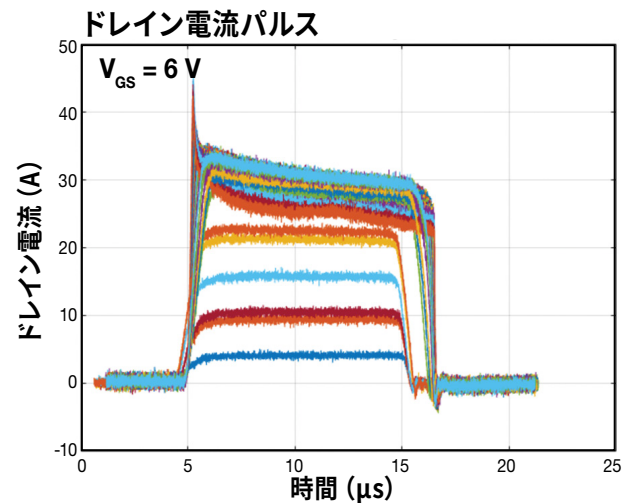
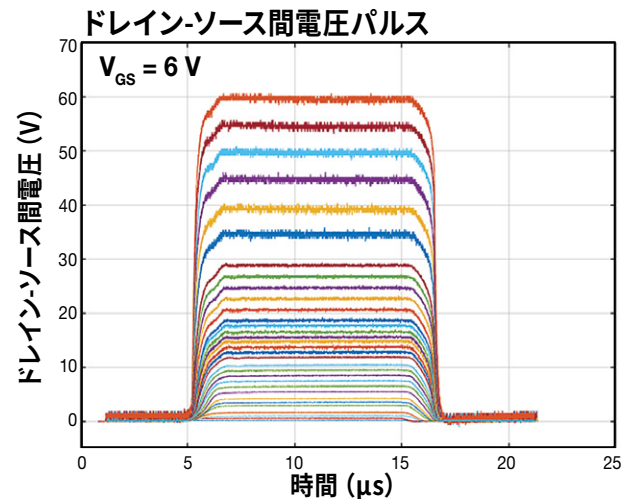


図3-18:一連の増加するドレイン電圧に対するEPC2203の負荷時故障テスト (FUL) の波形。ドレイン・パルスは10  $\mu\text{s}$ 、 $V_{GS}$  = 6V。このパルス幅では、デバイスは故障しませんでした。 $V_{DS}$  対時間のグラフ (上図) では、 $V_{DS}$  はデバイス端子で直接ケルビン検出しています。 $I_{DS}$  対時間のグラフ (中央の図) では、 $I_{DS}$  が自己発熱によって時間の経過と共に減少していることが分かります。このテスト・シーケンスで得られた出力曲線 (下図)。ドレイン電流は、パルス中の平均電流として記録しています。ドレイン電流は、 $V_{DS}$  が高いとデバイスが発熱するため、飽和領域で反転します。

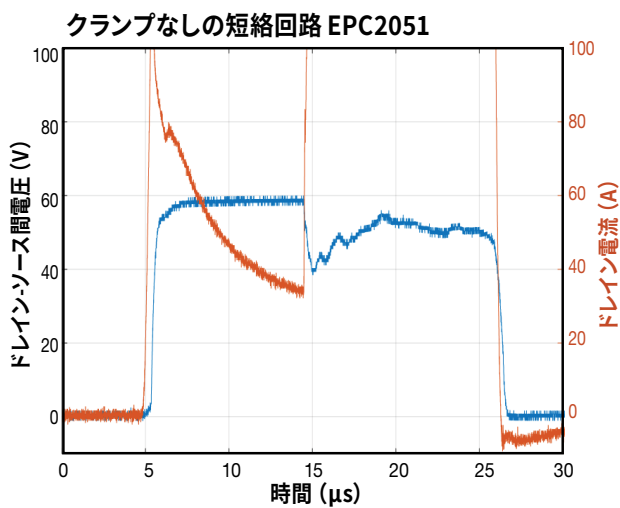
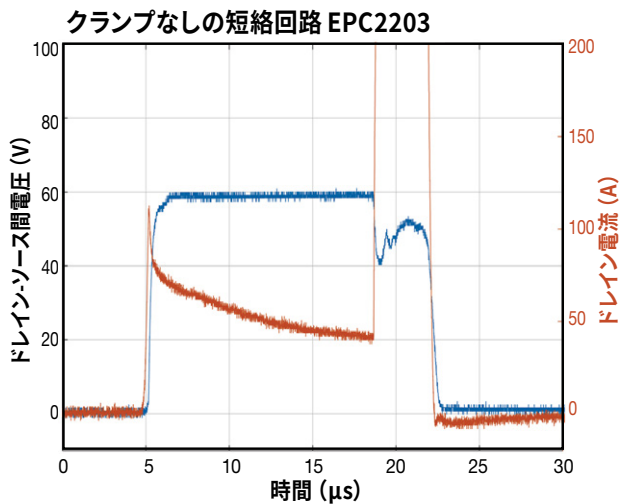


図3-19:  $V_{DS} = 60V$ ,  $V_{GS} = 6V$ ,  $25\mu s$ のドレイン・パルスでの標準的なEPC2203 (上図)とEPC2051 (下図)の負荷時故障テストの波形。ドレイン電流の急激な上昇は、壊滅的な熱故障が発生した時間を示します。

耐性時間に関する統計を収集するために、この方法を使って8個の部品の群を故障するまでテストしました。表3-1に結果をまとめました。EPC2203を、5V(推奨ゲート駆動電圧)と6V( $V_{GS(max)}$ )の両方でテストし、平均耐性時間はそれぞれ20 $\mu s$ と13 $\mu s$ でした。6Vでは飽和電流が高いため、デバイスの耐性時間が短くなることに注意してください。EPC2051は、6VでEPC2203と比べて、故障するまでの時間がわずかに短くなりました(9.3 $\mu s$ )。これは、第5世代製品のより積極的なスケールアップと電流密度のため予想された結果です。ただし、すべての場合で、耐性時間は、ほとんどの短絡保護回路が応答してデバイスの故障を防ぐために十分な長さです。さらに、耐性時間は部品間での小さなばらつきを示しました。

表3-1 の下の行は、チップ面積に対するパルス電力とエネルギーを示しています。これらの量と故障するまでの時間の関係を理解するために、時間依存の熱伝達をシミュレーションして、短絡パルス中の接合部温度の上昇 $\Delta T_J$ を決定しました。この結果が図3-20です。

短絡パルス $V_{DS} = 60V$	EPC2203 (Gen 4)		EPC2051 (Gen 5)	
	$V_{GS} = 6V$	$V_{GS} = 5V$	$V_{GS} = 6V$	$V_{GS} = 5V$
平均 TTF ( $\mu s$ )	13.1	20.0	9.33	21.87
標準偏差 ( $\mu s$ )	0.78	0.37	0.21	2.95
最小 TTF ( $\mu s$ )	12.1	19.6	9.08	18.53
平均パルス電力 (kW)	1.764	1.4	3.03	2.03
エネルギー (mJ)	23.83	27.6	27.71	42.49
チップ面積 (mm <sup>2</sup> )	0.9025		1.105	
平均電力/面積 (kW/mm <sup>2</sup> )	1.95	1.55	2.74	1.84
エネルギー/面積 (mJ/mm <sup>2</sup> )	26.4	30.59	25.08	38.46

表3-1: EPC2203とEPC2051の短絡耐性時間の統計

注: 統計は各条件で8個のデバイスから得られます。耐性時間は平均値の周辺に密に分布しています。平均パルス電力とエネルギーは、母集団内の標準的な部品に対応します。

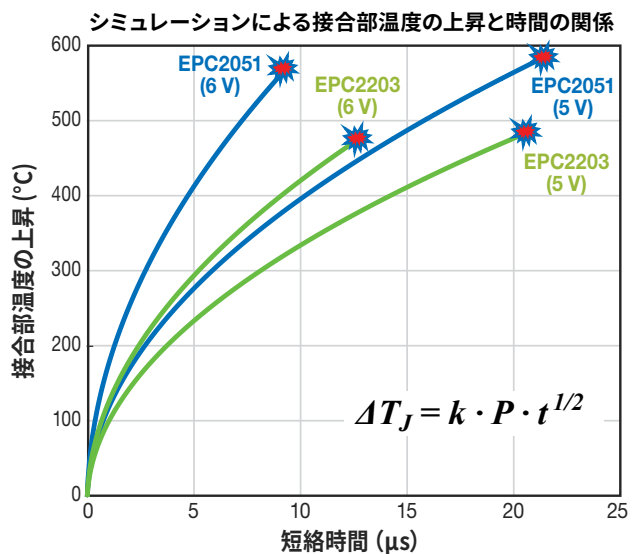


図3-20: 5V $V_{GS}$ と6V $V_{GS}$ の両方でEPC2051とEPC2203の両方について、短絡パルス中の接合部温度の上昇と時間の関係のシミュレーション結果。測定された故障時間は、赤色のマーカーで示されています。EPC2203は $\Delta T_J$ が約475 $^{\circ}C$ で壊滅的に故障しますが、EPC2051は約575 $^{\circ}C$ で故障することに注意してください。シミュレーションされた $\Delta T_J$ は、式に示すように、時間(熱拡散)に対する単純な平方根依存性でよく適合します。 $P$ は単位面積当たりの平均電力で、 $k = 6.73 \times 10^{-5} K m^2 / W s^{1/2}$ を示します。

パルス中の強力な電力密度によって、GaN層と近くのシリコン基板が急速に加熱されます。パルスは短く、熱伝達は比較的遅いため、エネルギーを吸収するために役立つものは、厚さが薄い半導体(深さ100 $\mu m$ 以下)だけです。温度は時間の平方根(熱拡散の特性)に比例して上昇し、パルス電力に線形に比例します。図3-20のように、EPC2203の場合、5Vと6Vの両方の条件で、接合部温度が約475 $^{\circ}C$ 上昇して故障します。

EPC2051 についても同様で、両方の条件で同じ値で  $\Delta T_J$  が約 575°C で故障します。これらの結果から、次の3つの重要な結論が導き出されます：

1. 特定のデバイスの場合、故障するまでの時間は消費電力の2乗に反比例 ( $P^{-2}$ ) します。これは、持続時間が約 1 ms 以下の短絡パルスおよび SOA パルスに適用されます。
2. 大電力パルスによって生じる固有の故障モードは、接合部温度が特定の臨界値を超えることと直接関連しています。
3. ワイド・バンドギャップ eGaN デバイスは、自由キャリアの熱暴走によって、シリコン・デバイスではまったく到達できない接合部温度 (400°C 以上) に耐えることができます。

デバイスがこれらの極端な条件の繰り返しに耐えられるかどうかを確かめるために、いくつかの部品を、データシートに記載されている最大定格パルス電流の約2倍のデバイス電流を発生させる短絡条件で50万サイクル以上にわたってテストしました。このテストのセットアップでは、 $5V_{DC}$  または  $6V_{DC}$  のゲート・バイアスをテスト対象デバイス (DUT) のゲートに加え、ドレイン・バイアスを  $10V_{DC}$  に設定し、60 mF のコンデンサをドレイン電源に接続しました。DUT と直列に接続した低  $R_{DS(on)}$  のハイサイド・トランジスタで、無制限に電流が流れないように制御しました。次に、制御トランジスタに 1 Hz で 5  $\mu$ s のパルスを加え、チャネルが再平衡化する時間を与えました。表3-2は、テストされたさまざまな種類のデバイス、最大パルス電流のデータシート定格、およびテスト開始時の各サイクルでデバイスを流れるパルスの短絡電流の量を示しています。

デバイス	種類	データシートのパルス (A)	$V_{GS}$	平均電流 (A)	シグマ (A)
EPC2203	80 V AEC Gen4	17	5	35	2.4
			6	43	2.5
EPC2212	100 V AEC Gen4	75	5	124	2.1
			6	160	3.5
EPC2051	100 V Gen5	37	5	68	1.0
			6	87	1.3
EPC2052	100 V Gen5	74	5	147	1.6
			6	163	2.2
EPC2207	200 V Gen5	54	5	99	4.7
			6	132	5.0

表3-2: 極端なパルス短絡電流 (通常はデータシートの最大制限値の2倍) でテストしたデバイス。

表3-3は、表3-2および図3-20で使ったデバイスと同じ部品番号である EPC2051 のさまざまな主要なデバイス・パラメータを示しています。データシートの最大定格の2倍を超える50万サイクルの85 A のパルスという極端な条件下でも、すべての電気的特性はデータシートの仕様範囲内にとどまりました。ただし、時間の経過と共に DUT によって「消費される」短絡電流の量はわずかに減少し、 $V_{TH}$  がわずかに増加したことと一致しています。この50万サイクルのパルス・シーケンスの後、この部品は175°C、バイアスなしで、10分間のアニール処理を受けました。表3-3の右側の列に見ら

れるように、電気的パラメータと短絡電流は、繰り返しパルス・ストレスを受ける前の値の近くまで回復しました。この回復は、繰り返した大電流パルスによって永久的な損傷が発生しなかったことを示しています。

EPC2051	t = 0	10万パルス	50万パルス	10分間、175°Cのアニール後
$V_{TH}$ (V)	1.8	2	2.1	1.8
$I_{GSS}$ ( $\mu$ A)	11	33	55	23
$I_{DSS}$ ( $\mu$ A)	7	5.5	5.1	5.6
$R_{DS(on)}$ (m $\Omega$ )	22	22.3	22.3	22
$I_{short\ circuit}$	84	77	74	82

表3-3: パルス・テスト開始時、10万パルス後、50万パルス後、および175°Cで10分間のアニール後のEPC2051の主なデバイス・パラメータ。デバイス・パラメータは常に、データシートの制限内に収まりました。

### 3.3.4. 銅配線のエレクトロマイグレーション

電子機器の電力密度は増加しているものの、サイズは小型化しており、銅ピラー (柱) は優れた電気特性と放熱によって、新しい相互接続ソリューションの1つとして一般的になっています [19]。図3-21は、銅ピラーがリード・フレーム・ベースのパッケージとチップに接続する様子を示しています。

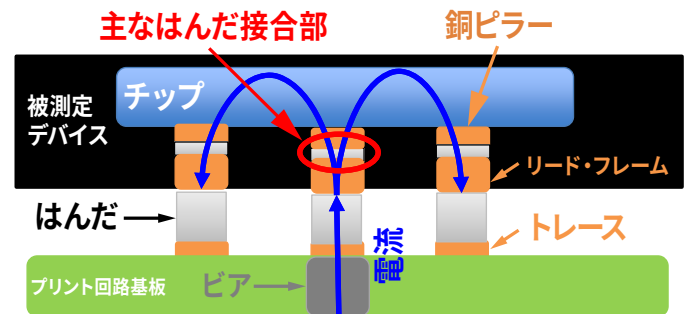


図3-21 この調査で使った銅ピラー (柱) 構造。

このピラーは、ハンダキャップと、円筒形または楕円形の銅の2つの主な構造で構成されています。ハンダキャップは、デバイスとパッケージ間の唯一の相互接続として機能し、主にスズ (Sn) で構成され、さまざまな量の銀 (Ag)、金 (Au)、銅 (Cu) が含まれています [20-24]。ハンダ接合部は、銅に比べて、電流密度定格が低く、融点が低いいため、重要な注意点です。

エレクトロマイグレーション (EM) は、パワー・クワッド・フラット・ノー・リード (PQFN: power quad flat no-lead) のパッケージの相互接続における潜在的な摩耗メカニズムとして特定されています。EMは、金属構造内の原子の移動として定義され、ボイド形成につながります [25,26]。EMの主な原因は、結晶内の伝導電子と金属イオンの間の運動量の伝達から生成される電子「風」です。運動量が活性化エネルギー [25,26] によって制御される拡散しきい値を超えると、金属原子が移動してボイドを形成します。

EM ボイド形成の原因となる2つの主なストレス要因は、高電流密度と高温です[19-22]。電流密度は、電流を2つの金属相互接続間の接触面積で割った値として表されます。温度は通常、相互接続の接合温度としてケルビン単位で表されます。

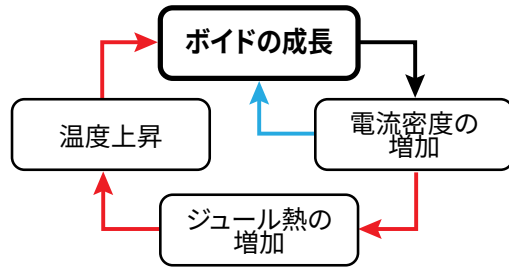


図3-22: 正のフィードバック・ループによるボイド成長の加速: 電流密度によってボイドが形成されることで、電流密度が増加して、接触点でのジュール熱によって温度が上昇し、ボイドの成長が加速されます。

ブラックのモデルは、式3-9に示すように、EMストレス条件下での寿命を予測するために広く受け入れられています [25,26]。

$$MTTF = Aj^{-n}e^{\frac{Q}{kT}} \quad \text{式3-9}$$

ここで、Aは定数、jは電流密度、nは指数、Qは活性化エネルギー、kはボルツマン定数  $8.62 \times 10^{-5} \text{ eV/K}$ 、Tはケルビン単位の温度です。

図3-22は2つの正のフィードバック・ループを示しています。最初のループは、電流密度によって加速されるボイド成長プロセスを表しています [26]。これは式3-9の電流密度の項によって求められます。ボイドの形成によって相互接続の劣化が始まると、断面積の減少によって、電流密度がさらに増加し、ボイドの形成が加速されます。

2番目のループは、熱活性化プロセスによって支配されます。ジュール熱によって接合部温度が上昇し、原子の動きがさらに加速されてボイド形成が増加します。このプロセスは、式3-9の最後の項であるアレニウス項によって記述されます。

どちらのプロセスも、ボイド形成によるオープン回路や、熔融金属相互接続による電氣的短絡につながる可能性があります。EMは、使用条件下では進行に何年もかかる可能性があるゆっくりとしたメカニズムなので、EM関連の障害を妥当な時間内に形成するには、加速ストレス条件下でのテストが必要です。

## 実験

この実験は、テスト対象デバイス (DUT) ・カード、専用のテスト・チップ、温度チャンバの3つの部分に分かれています。その場の抵抗モニタリング用のDUTカードの概略図が図3-23です。専用テスト・チップは、JEDEC規格JEP154 [27]に従って設計しました。テストの設定では、DUTカードを温度チャンバ内の中央に配置します。2つの熱電対が配置されています。1つは周囲温度をモニターするためにオープンの中央に取り付けられています。もう1つは、裏面のSi基板が露出しているDUTの裏側に直接配置されています。テスト・チ

ップは、熱パテで覆い、2つの銅製ヒートシンクの中に挟んで、テスト・チップの温度を一定に保っています。

銅ピラーの相互接続部と、デバイスの裏面との間の温度差は、 $R_{th,jc}$ が  $0.2^\circ\text{C/W}$ 、 $125^\circ\text{C}$ で合計3.2 Wの電力が消費されることから、 $0.64^\circ\text{C}$ と計算できます。対象の銅ピラー相互接続部は、面積が  $5271 \mu\text{m}^2$ の楕円形であり、PQFNパッケージの輪郭に成形された銅リード・フレームにはんだ付けされています。

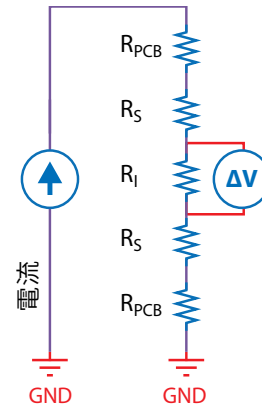


図3-23: はんだ相互接続の現場モニターの概略図。  $R_I$  は電圧降下を測定し、 $R_S$  はパッケージとプリント回路基板のはんだ接合部の抵抗、 $R_{PCB}$  は、プリント回路基板の銅の抵抗を表します。

## 結果と考察

銅ピラーの相互接続に焦点を当てたこれまでの調査に基づいて、 $125^\circ\text{C}$ で  $27 \text{ kA/cm}^2$ 、 $150^\circ\text{C}$ で  $55 \text{ kA/cm}^2$ のテスト条件を選択しました[22-24,27]。JEP154の推奨事項に従って、抵抗が10%増加したときを故障とする基準を採用しました [27]。

図3-24と3-25に示すように、両方のテスト条件で故障はゼロでした。図3-24は、480時間のテスト後、抵抗の増加が2%を超えるデバイスがなかったことを示しています。同様に、図3-25は、極端なストレス条件 ( $150^\circ\text{C}$ で  $55 \text{ kA/cm}^2$ ) で645時間のテスト後、抵抗の増加が故障基準の10%を超える部品がなかったことを示しています。この結果は、EMの銅の相互接続に焦点を当てたさまざまな調査と一致しています [20-24]。

銅ピラーの相互接続の電流密度の指数は2であることが、さまざまな調査でしばしば報告されています [20,23]。以前の調査 [20-24] では、SnAgはんだキャップの活性化エネルギーは1 eVであると一般に認められています。  $n=2$ 、 $Q=1 \text{ eV}$ の値を使って、故障率0.1%で、故障するまでの時間を645時間と仮定すると、ブラックの式から定数Aは2.39と計算できます。定数Aを使うことで、任意の温度と電流密度で0.1%の故障率での寿命を予測できます。

EPCのPQFNデバイス [20,26] の連続電流定格は、10 kA/cm<sup>2</sup>という保守的なEM電流密度の制限に基づいています。10 kA/cm<sup>2</sup>の電流密度と125°Cの接合部温度を仮定すると、0.1%の故障率で11年以上の寿命が予測できます。テストは継続中です。したがって、故障が見つかった場合、より正確な寿命に更新されます。

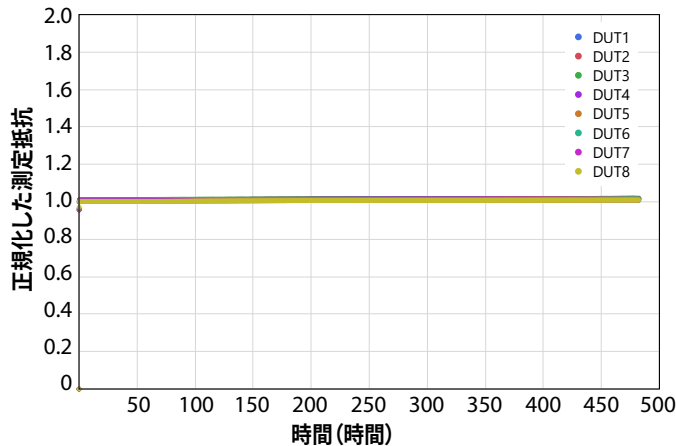


図3-24：8個のDUTの125°Cで24 kA/cm<sup>2</sup>の銅の相互接続の正規化した測定抵抗

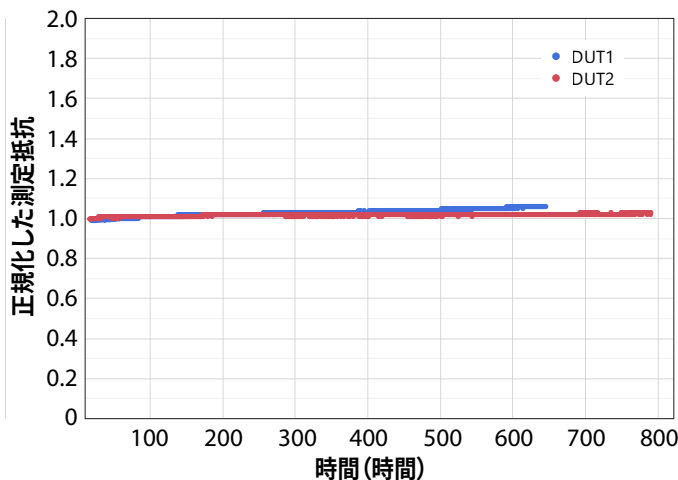


図3-25：2個のDUTの150°Cで55 kA/cm<sup>2</sup>の銅の相互接続の正規化した測定抵抗

### 3.4. 熱機械的摩耗

#### 3.4.1. 熱機械的摩耗メカニズムの概要

はんだ接合部の亀裂は、材料間の熱膨張係数 (CTE) の不一致によって発生し、頻繁で大きな温度変化が要求されるアプリケーションで共通の懸念事項となっています。このセクションでは、部品の故障テストに基づいて、一般的な温度サイクル (TC: temperature cycling) 寿命モデルを開発しました。寿命モデルには、デバイスの寸法、バンプの形状、スタンドオフの高さ、および、弾性率、ポアソン比、プリント回路基板の厚さなどのさまざまなプリント回路基板の特性が含まれます。チップスケール・パッケージ (CSP) のデバイスの予想寿命がユーザーの仕様よりも短い場合、TC寿命を延ばすには、適切な材料特性を持つアンダーフィルを推奨します。パッケージ化したQFN部品は、本質的にスタンドオフの高さが比較的低いため、チップの傾きを最小限に抑え、濡れやすい側面に接続する側壁のはんだフィレを一定に保つことが重要です。このため、QFN部品のステンシル設計ルールが提供され、アセンブリの目安となります。

#### 3.4.2. チップ・サイズとバンプ形状が温度サイクル (TC) の信頼性に与える影響

チップ・サイズに対するTC寿命は一般的に、古典的なコフィン・マンソン則によってモデル化され、テスト対象のデバイスは通常、x方向とy方向の両方で対称です [29]。さらに、それらの調査で提示されたはんだ接合部のほとんどは、ボール・グリッド・アレイ (BGA: ball grid array) であり、すべてのバンプが同一の形状をしています。したがって、中央点までの距離に基づくTC寿命モデルがしばしば採用され、有効であることが証明されています [30]。ただし、ランド・グリッド・アレイ (LGA: land grid array) のはんだバンプの非対称なチップ・サイズとさまざまなはんだバンプ形状の両方を考慮したTC寿命モデルは不足しています [31]。

このセクションでは、さまざまなチップ・サイズとバンプ形状を備えた一連のウエハー・レベルのチップスケール・パッケージ (WLCSP: wafer level chip scale package) のGaNデバイスを、一貫したアセンブリおよびTCテスト条件下で調査します。すべてのチップ・サイズとバンプ形状を含むTC寿命モデルが開発され、優れた適合が得られました。

#### はんだ接合部の亀裂

これまでの信頼性レポート [1,5] では、温度サイクル (TC) のストレス下における主な摩耗メカニズム・モードは、はんだ接合部の亀裂であると特定されています [1]。デバイス、はんだ、プリント回路基板などの材料間の熱膨張係数 (CTE) の不一致が、この摩耗メカニズムの基本的な原因であると考えられています。一般的なFR4のプリント回路基板 [32]、ウエハー・レベルのチップスケール・パッケージ (WLCSP) ・デバイス [33]、およびSAC305はんだ [34] のCTE値が表3-4です。図3-26は、温度サイクル・テスト中にCTEの不一致によって生じる応力を示しています。

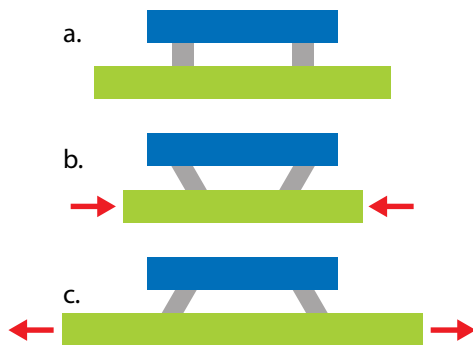


図3-26: 温度サイクル中のはんだ接合部の応力の図

図3-26 (a) は、熱応力が中立な位置にあるデバイスとプリント回路基板の間のはんだ接合部です。図3-26 (b) のように温度が下がると、CTE 値が高いプリント回路基板は、GaNデバイスよりも収縮し、はんだ接合部に歪みが生じます。同様に、図3-26 (c) のように温度が上昇すると、プリント回路基板は、デバイスよりも大きく膨張し、再び、はんだ接合部に歪みが生じます。

素材	CTE (ppm/°C)
デバイス	4
はんだ	23
プリント回路基板 (FR4)	18

表3-4: 一般的な素材の熱膨張係数

実験

図3-27 に示すEPC2206、EPC2071、EPC2069、EPC2218、EPC2204など、さまざまな面積のWLCSPのGaNトランジスタの温度サイクル特性を評価しています。

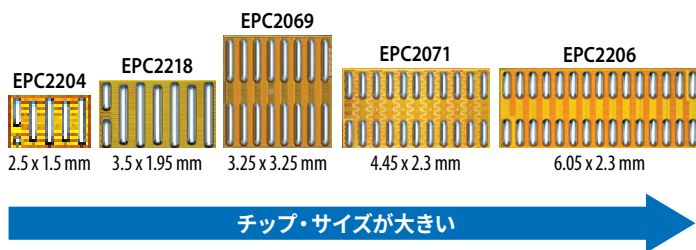


図3-27: この調査でテストしたデバイス: EPC2204、EPC2218、EPC2069、EPC2071、EPC2206

温度サイクルの実験は、デバイスの面積とバンプの形状のみが変数となるように構築しました。これらのデバイスは、同一のはんだ (SAC305) を使って、同一のテスト用プリント回路基板に取り付けました。このプリント回路基板は、2層の銅、1.6 mm厚、FR4基板で構成されています。スタンドオフの高さ (つまり、アセンブリ後のはんだの高さ) は、アセンブリ工程中、約130 μmに維持しました。これは、組み立てた基板の物理的な断面を作成することによって検証しました。温度サイクルの範囲は-40°C~125°Cで、業界標準 JESD22-A104F [35] に従って、上昇速度は15°C/分、終点での浸漬時間は10分でした。

各WLCSPデバイスに対して、88個のデバイス・グループをテストしました。温度サイクル間隔が終わるたびに、電気スクリーニングを実施し、データシートの制限を超えるオン抵抗 $R_{DS(on)}$ の増加に基づいて故障を判定しました。

故障率が50%に達するまでデバイスをテストする故障するまでのテストというアプローチを採用しました。故障分布は、最尤推定 (MLE: Maximum Likelihood Estimation) [36] を使って、各デバイスに対して2パラメータのワイブル分布で分析しました。結果として得られたワイブル適合は、図3-28のグラフに実線で示され、ワイブル特性は表3-5です。ゲートのはんだ接合部の亀裂は、物理的な断面とSEM (走査電子顕微鏡) 検査によって分析したすべてのデバイスで単一の摩耗モードであることが分かり、最小のはんだバンプの摩耗が温度サイクル寿命の制限要因であることが実証されました。

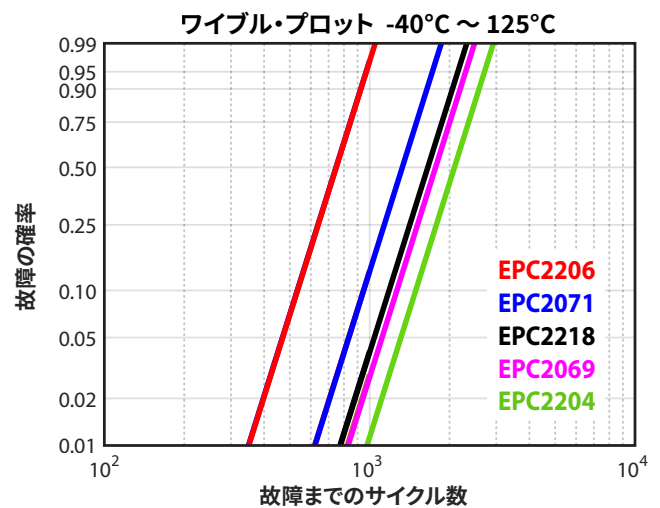


図3-28: 実験したTCデータへのワイブル適合。

デバイス	ワイブル形状パラメータ	固有のワイブル寿命 (サイクル数)	MTTF (サイクル数)
EPC2206	5.6	797	737
EPC2071	5.6	1416	1309
EPC2218	5.6	1764	1630
EPC2069	5.6	1880	1737
EPC2204	5.6	2389	2208

表3-5: テストした5個のデバイスのワイブル統計

チップ形状が温度サイクル寿命に与える影響

ワイブル分布からの平均故障時間 (MTTF) データは、サイクル数で測定し、チップ面積と比べて、チップ面積とTC寿命の相関関係をチェックしました。このデータは、以下です。

$$MTTF = A(Die Area)^{-n} \tag{式 3-10}$$

ここで、Aは定数、チップ面積は、長さ幅を掛け合わせたチップの面積、nは指数です。この結果の適合度は、適合度 (R<sup>2</sup>) によって判断されます。表3-5のMTTFを式3-10に適合させる

と、R<sup>2</sup>値は0.67となり、適合度が低いことを示しています。これは、文献[37-39]で一般的に受け入れられている寿命モデルに従うと、チップ面積だけではTC寿命との良好な相関関係を提供できないことを示しています。

図3-29のように、中性点からの最大距離 (DNP<sup>max</sup>) という視点を導入します。TCストレス中、デバイスの中心点は、デバイスの端と比べてストレスが最も小さくなります。この中心点は、中性点として定義され、中性点からはんだバンプの最も遠い端までの距離をDNP<sup>max</sup>と定義します。

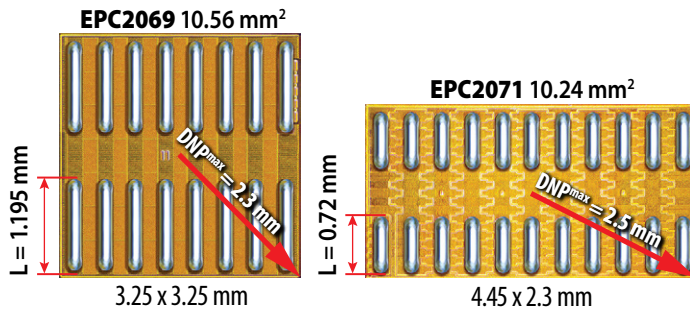


図3-29: EPC2069とEPC2071のゲート長とDNP<sup>max</sup>の例

Norris-Landzbergの修正コフィン・マンソン則のTC寿命モデル[40]とDNPの概念を組み合わせることで、複数の研究者によって報告された式3-11が開発されました[39]。

$$MTTF = A(DNP^{max})^{-n} \quad \text{式3-11}$$

式3-11に最もよく適合したR<sup>2</sup>値は0.79で、単にデバイス面積を使った場合と比べて、わずかに改善されました。ただし、まだ適合が非常に良いとは言えません。

故障解析によって、デバイスの角でのゲートはんだ接合部の亀裂がTC特性の制限要因であることが確定しました。ゲートのバンプが長いほど、TCストレス下での故障するまでの時間が長くなる可能性が高く、その逆も同様です。図3-27と3-29は、デバイスの面積が異なると、ゲートのはんだバンプの長さも変わることを示しています。したがって、より正確なTC寿命モデルの開発には、角のゲート・バンプの形状もDNP<sup>max</sup>と共に考慮しなければなりません。ゲート・バンプの幅は、調査対象のすべてのデバイスで同じなので、Lで示されるバンプの長さが、以降の説明に含まれる主要なパラメータです。したがって、はんだバンプの長さLはDNP<sup>max</sup>に考慮され、有効なDNP<sup>max</sup>であるDNP<sup>eff</sup>は、式3-12で定義されます。

$$DNP^{eff} = DNP^{max} + a \cdot L \quad \text{式3-12}$$

この結果の適合が図3-30で、ゲート長の係数a = -0.65、指数n = 1.4を使って、R<sup>2</sup>値は0.99になります。

図3-30に示されている適合指数1.4は、他の文献の結果[41-42]と一致しており、同様のテスト条件でのTCストレス下で、SAC305はんだの接合部の亀裂故障では、指数が1と2の間であることがしばしば報告されています。

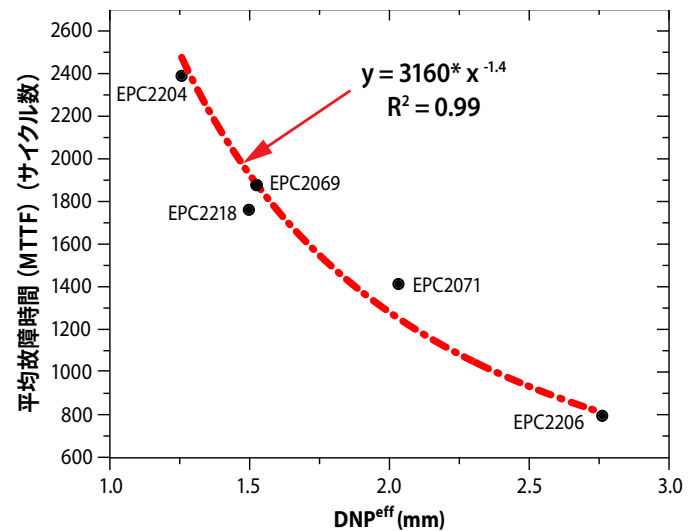


図3-30: MTTFと実効DNPの比較

要約すると、デバイスの面積と角のゲート・バンプの形状を考慮したTC寿命モデルを提案できます。

$$MTTF = A(DNP^{max} - 0.65 \cdot L)^{-n} \quad \text{式3-13}$$

この調査では、チップとはんだ接合部のさまざまな大きさを考慮した材料のCTE不一致によって引き起こされるはんだ接合部の亀裂に基づく温度サイクル寿命モデルを確立しています。

### 3.4.3 プリント回路基板の性質が温度サイクル寿命に与える影響

高密度パワー・モジュールでは、層数が多くて厚いプリント回路基板がよく使われます。このような実装では、これらの複雑なプリント回路基板の剛性が高くなるため、温度サイクル(TC)下ではんだ接合部の信頼性について懸念が生じます。このセクションでは、2つの異なる銅層の厚さを備えたプリント回路基板上のQFN(Quad Flat No-Leads)封止のGaNTランジスタのはんだ接合部の信頼性を評価しました。1層当たり1オンスの銅を備えたプリント回路基板から1層当たり2オンスの銅を備えた別のプリント回路基板に変更すると、寿命が10%向上することが分かりました。第一原理寿命モデルを適用して寿命の差を調べたところ、実験とモデル化の結果が非常によく一致しました。モデル化によって、曲げ剛性に関連するTC寿命が支配的で、全体の寿命の差の83%を占めることが明らかになりました。

### 温度サイクル・テストと故障解析

2種類のプリント回路基板を、-40°C~125°Cの高温と低温の両極端の温度で10分間滞留するというテスト条件の温度サイクルで評価します。いずれの2層プリント回路基板も2層の銅を使っていますが、その違いは、一方のプリント回路基板では、層ごとに1オンス

の銅を使い、もう一方のプリント回路基板では、層ごとに2オンスの銅を使っていることです。テスト対象デバイス (DUT) は、定格100 VでQFN封止のGaNTランジスタであるEPC2302です。各グループから104個のQFNデバイスをテストしました。

表3-6は、中間読み取り点ごとの摩耗率を示しています。EPC2302のデータシートの制限が故障基準として使われ、 $R_{DS(on)}$ がデータシートの最大制限を超えることが主な摩耗モードです。1300サイクルから摩耗率に大きな差が見られます。2000サイクルでは、摩耗率が40%以上になることが分かります。

プリント回路基板の種類	0 サイクル	400 サイクル	850 サイクル	1300 サイクル	1600 サイクル	1800 サイクル	2000 サイクル
1オンスの銅	0.0%	0.0%	0.0%	1.0%	14.0%	26.0%	44.3%
2オンスの銅	0.0%	0.0%	0.0%	6.9%	21.8%	41.6%	62.9%

表3-6: TCの各中間読み取り点での摩耗率。

図3-31は、2つのテスト・レグにおけるワイブル分布です。ここでは、1オンス銅の層を備えた2層のプリント回路基板が、1層当たり2オンス銅を備えた他のグループよりも平均故障時間 (MTTF) で約10%優れています。

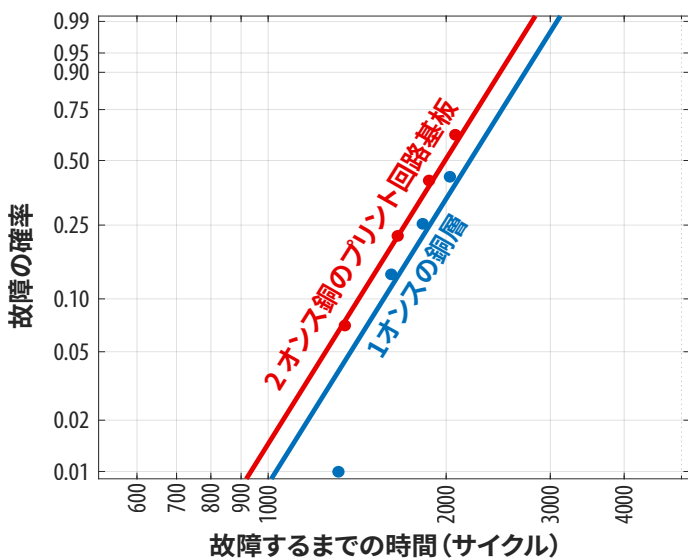


図3-31: 2つのテスト・レグのワイブル分布。レグ1は2層の銅を使い、各層に2オンスの銅を使っています。レグ2では、やはり2層の銅を使っていますが、各層に1オンスの銅を使っています。

調査した2種類のプリント回路基板の詳細な積層の比較が表3-7です。2オンス銅のプリント回路基板は、1オンス銅のプリント回路基板よりも約2%厚いことに注意してください。文献で報告されている一般的な傾向によると、厚い基板は一般に、はんだ接合部の摩耗故障モードによってTC寿命が短くなります[37-39]。ただし、プリント回路基板の厚さが2%厚くなっただけでは、寿命が10%短くなることの説明には十分ではありません。この調査で観測されたTCテスト結果に大きく影響する他の隠れたパラメータが必ず存在するはずで

1オンス銅のプリント回路基板の積層		2オンス銅のプリント回路基板の積層	
層	厚さ	層	厚さ
表面のはんだマスク	0.7 ミル	表面のはんだマスク	0.7 ミル
表面の銅層	1.4 ミル	表面の銅層	2.8 ミル
FR4	57.6 ミル	FR4	56.2 ミル
裏面の銅層	1.4 ミル	裏面の銅層	2.8 ミル
裏面のはんだマスク	0.7 ミル	裏面のはんだマスク	0.7 ミル
合計	61.8 ミル	合計	63.2 ミル
	1.570 mm		1.605 mm

表3-7: 1オンス銅のプリント回路基板と2オンス銅のプリント回路基板のプリント回路基板の積層の詳細

各TCテスト間隔で、部品をランダムに選択し、故障解析を実施しました。ゲートの角のはんだ接合部の亀裂が、摩耗の根本原因として一貫していることが分かりました。図3-32は、物理的な断面と、それに続くSEM検査の結果を示しており、図3-33は、TCテスト後の2つの異なるデバイスの3次元X線断面の結果です。どちらの図からも、亀裂はQFNデバイスの鋭い角から発生した可能性が高いことが分かります。亀裂の発生後、亀裂は側壁の濡れやすい側面に沿って垂直に伝播し、QFNデバイスの露出したリードに沿って横方向に伝播したと考えられます。

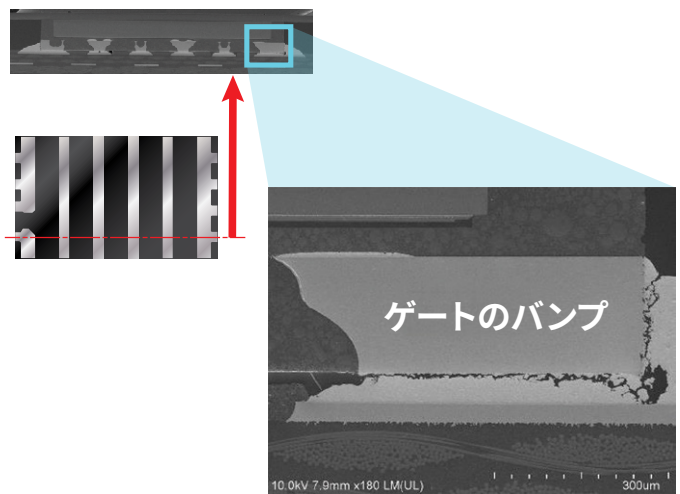


図3-32: TC障害のSEM画像。QFNデバイスの角にあるゲートのはんだ接合部が摩耗の原因となっています。

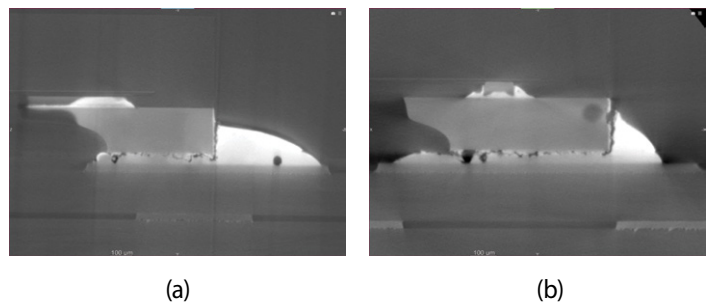


図3-33: ゲートの角のはんだ接合部に焦点を当てた3次元X線断面。基礎となる摩耗メカニズムが明らかになっています。

### COMSOL 有限要素解析 (FEA) シミュレーション

モデリングには COMSOL Multiphysics®ソフトウェア [45] を使いました。図3-34 は、プリント回路基板上に実装した QFN デバイス (EPC2302) の配置の3次元図です。

図3-35 (a) は、図3-35 (b) の光学画像に示されているように、実際の完成したアセンブリに非常によく似た側壁フィレの3次元設計です。図3-35 (c) は、TC によって引き起こされる熱機械的応力を厳密に見積もるために、ゲートの角のはんだ接合部に適用された細かいメッシュの強調表示です。

図3-36 は、プリント回路基板の2つの異なる実装の比較で、ゲートの角のはんだ接合部の断面図のシミュレーションしたミーゼス応力 [46] の分布を示しています。COMSOL シミュレーションで特定された高応力点は、故障解析で見つかったゲートの角の亀裂と一致しました (図3-32 と 3-33)。このような優れた一貫性は、FEA シミュレーションの精度を検証し、ゲートの角が繰り返し熱機械テスト中に応力が集中することを示し、亀裂の発生と伝播につながるようになります。QFN デバイスのアセンブリに関する同様の調査結果は、Rahangdale 氏らによっても報告されています [44]。

2つのアセンブリ (1 オンス銅のプリント回路基板と 2 オンス銅のプリント回路基板) の間の応力の差は、COMSOL シミュレーションによって定量化できます。最も高応力が見られる 1 オンス銅のプリント回路基板のゲートの角に沿った平均ミーゼス応力は、201.7 MPa と見積もられます。2 オンス銅のプリント回路基板と比較すると、平均ミーゼスは、233.3 MPa と計算され、これは 1 オンスのプリント回路基板のアセンブリで観測した応力よりも 15.7% 高くなります。15.7% の応力の増加は、図3-31 に示した 10% の寿命短縮と一致します。

全寿命  $N_{Total}$  は、3つの異なる機械的結合メカニズムに関連する3つの部分の寿命で構成されます [37]。最初の部分  $N_1$  は、デバイスに作用する面内引張せん断力によって特徴付けられる寿命です。図3-37 は、周囲温度が低温 (はんだ接合部の応力が中心) から高温 (CTE の不一致によってデバイスの膨張がプリント回路基板よりも大幅に小さくなる) に上昇したときの、デバイスとプリント回路基板の面積変化の推移です。この結果、はんだ接合部は図3-37のように、横方向に引き伸ばされます。

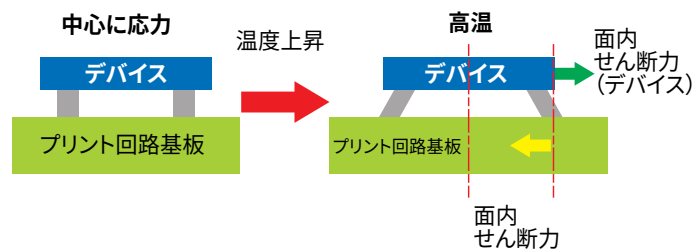


図3-37: デバイスとプリント回路基板に作用する面内引張せん断力の図。

$N_1$  は、図3-37の黄色の矢印で示されているように、実装したデバイスの面内引張剛性を表します。式3-14によって、このような面内引張せん断力によって生じる寿命が得られます。

$$N_1 = \frac{F}{\Delta\alpha^2} \times \frac{1-\gamma_{QFN}}{E_{QFN}h_{QFN}} = \frac{F}{\Delta\alpha^2} \times C_1 \quad \text{式3-14}$$

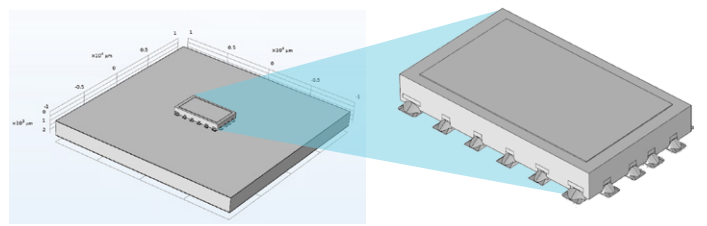


図3-34: プリント回路基板上に表面実装した QFN デバイス EPC2302 の 3次元配置図。

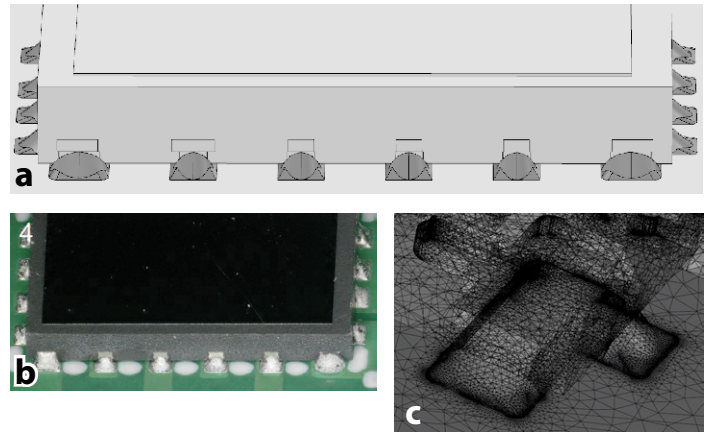


図3-35: (a) は、COMSOLシミュレーションにおける側壁のフィレを示しています。(b) は、アセンブリ後の側壁フィレの側面光学画像です。(c) は、ゲートの角のはんだ接合部に適用された細かいメッシュです。

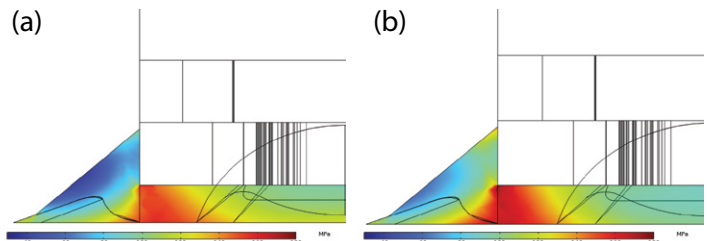


図3-36: ゲートの角のはんだ接合部における COMSOL シミュレーション結果の断面図。(a) プリント回路基板の1層当たり1オンス銅で、高応力の角に沿った平均ミーゼス応力は 201.7 MPa。(b) プリント回路基板の1層当たり2オンス銅で、高応力の角に沿った平均ミーゼス応力は 233.3 MPa。

ここで、F は特定のデバイス-プリント回路基板システムの定数であり、与えられた TC 応力条件下では、 $\Delta\alpha$  はデバイスとプリント回路基板の間の CTE 不一致、 $\gamma_{QFN}$  はデバイスのポアソン比、 $E_{QFN}$  はヤング率、 $h_{QFN}$  はデバイスの高さです。 $C_1$  はデバイスの軸方向の規定として表され、 $C_1 = \frac{1-\gamma_{QFN}}{E_{QFN}h_{QFN}}$ 。

2番目の項  $N_2$  は、図3-37の黄色の矢印で強調しているように、プリント回路基板に作用する面内引張せん断力によって制御されます。式3-15は、プリント回路基板のこのような引張剛性に関連する対応する寿命を特徴付けます。

$$N_2 = \frac{F}{\Delta\alpha^2} \times \frac{1-\gamma_{PCB}^2}{2E_{PCB}h_{PCB}} = \frac{F}{\Delta\alpha^2} \times C_2 \quad \text{式3-15}$$

ここで、 $F$ と $\Delta\alpha$ は式3-14と同じであり、 $\nu_{PCB}$ はプリント回路基板のポアソン比、 $E_{PCB}$ はヤング率、 $h_{PCB}$ はプリント回路基板の厚さです。 $C_2$ はプリント回路基板の軸方向の規定として定義され、 $C_2 = \frac{1-\nu_{PCB}^2}{2E_{PCB}h_{PCB}}$ 。

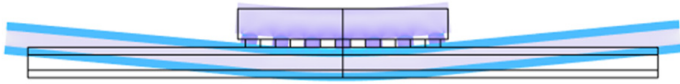


図3-38: COMSOL FEAシミュレーションの結果は、デバイスとプリント回路基板の間のたわみ(曲げ)を示しています。

最後に、 $N_3$ はデバイスとプリント回路基板のバイメタル板の曲げモーメントです。図3-38は、このような曲げ動作のFEAシミュレーション結果を示しています。寿命のこの部分 $N_3$ は、QFNデバイスとプリント回路基板の曲げ弾性率によって支配されます。

$$N_3 = \frac{F}{\Delta\alpha^2} \times \frac{H^2}{\frac{E_{QFN}^f h_{QFN}^3}{12(1-\nu_{QFN}^2)} + \frac{E_{PCB}^f h_{PCB}^3}{6(1-\nu_{PCB}^2)}} = \frac{F}{\Delta\alpha^2} \times C_3 \quad \text{式3-16}$$

ここで、 $E_{QFN}^f$ と $E_{PCB}^f$ は、それぞれQFNデバイスの曲げヤング率です。 $C_3$ はデバイスとプリント回路基板のバイメタル板アセンブリの曲げ規定です。

$$C_3 = \frac{H^2}{\frac{E_{QFN}^f h_{QFN}^3}{12(1-\nu_{QFN}^2)} + \frac{E_{PCB}^f h_{PCB}^3}{6(1-\nu_{PCB}^2)}}$$

ここで、 $H$ は、さらに式3-17で定義されます。

$$H = \frac{h_{QFN}}{2} + h_{standoff} + \frac{h_{PCB}}{2} \quad \text{式3-17}$$

ここで、 $h_{standoff}$ は、アセンブリ後のほんだ接合部のスタンドオフ高さです。したがって、全寿命 $N_{Total}$ は、式3-18の3つの部分の合計によって決まります。

$$N_{Total} = N_1 + N_2 + N_3 = \frac{F}{\Delta\alpha^2} \times (C_1 + C_2 + C_3) \quad \text{式3-18}$$

表3-8に、QFNデバイスと2層銅のプリント回路基板システムのTC寿命モデリングに使われるすべての主要なパラメータをまとめました。

表3-8にリストしたパラメータに基づいて、式3-14から3-16の共通定数 $F$ を推定できます。したがって、寿命の各部分( $N_1$ 、 $N_2$ 、 $N_3$ )と全体の寿命 $N_{Total}$ をモデル化できます。

図3-39は、1オンス銅のプリント回路基板と2オンス銅のプリント回路基板のモデル化した全体的なTC寿命をプリント回路基板の厚さの関数としてプロットしたものです。1.6 mm厚のプリント回路基板では、緑色の矢印で強調されているように、寿命の差が187サイクルであることが確認されました。モデル化した結果は、寿命の差が183サイクルという測定結果とよく一致しています。表3-9は、測定したMTTFとモデル化した結果をまとめたもので、優れた一致が見られます。

	1オンス銅のプリント回路基板	2オンス銅のプリント回路基板	単位
$E_{QFN}$	112	112	GPa
$h_{QFN}$	0.65	0.65	mm
$\nu_{QFN}$	0.22	0.22	
$E_{PCB}$	26.4	30.7	GPa
$h_{PCB}$	1.57	1.6	mm
$\nu_{PCB}$	0.16	0.17	
$h_{standoff}$	0.05	0.05	mm
$H$	1.16	1.175	mm
$C_1$	0.011	0.011	
$C_2$	0.012	0.010	
$C_3$	0.065	0.056	
$C_1 + C_2 + C_3$	0.087	0.076	

表3-8: TC寿命予測に使われる主要なパラメータ。弾性率とポアソン比は、構成材料のそれぞれの加重割合に基づいて推定されています。

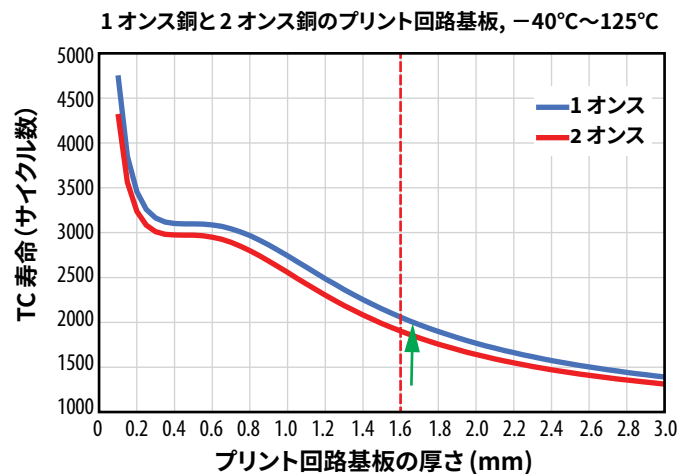


図3-39: プリント回路基板の厚さの関数としてモデル化した2つの異なるプリント回路基板の積層の全体寿命。厚さ1.6 mmで約10%の寿命の差が見られます。

第一原理モデリング手法を採用したため、面内引張応力と曲げ規定のそれぞれの個別の寿命を推定し、表3-9にまとめました。曲げ剛性によって制御される寿命の $N_3$ 部分は、2オンス銅のプリント回路基板を使ったときの全体的な寿命の短縮の83%に寄与しています。残りの寄与(17%)は、プリント回路基板に作用する軸方向のせん断応力によるものです。したがって、1オンス銅のプリント回路基板から2オンス銅のプリント回路基板への2%のプリント回路基板の厚さの増加は、10%のTC寿命特性の差の主な要因ではありません。表3-8に示す弾性率の差が主因です。このような傾向は、de Vreis氏らが以前に報告したものと一致しています[43]。

プリント回路基板の種類	測定したMTTF (サイクル数)	モデル化した寿命 (サイクル数)	モデル化した N <sub>1</sub> (サイクル数)	モデル化した N <sub>2</sub> (サイクル数)	モデル化した N <sub>3</sub> (サイクル数)
1オンス銅のプリント回路基板 (-40°C ~ 125°C)	2086	2085	394	411	1280
2オンス銅のプリント回路基板 (-40°C ~ 125°C)	1903	1898	394	380	1125
Δ寿命 (1オンス-2オンス)	183	187	0	31	156
Δ寿命 / モデル化した寿命			0%	17%	83%

表3-9: 1オンス銅のプリント回路基板と2オンス銅のプリント回路基板の測定したMTTFとモデル化した寿命の比較

この調査では、プリント回路基板内の銅含有量の増加によって引き起こされる弾性率の変化が、温度サイクル・ストレス下での全体的なはんだ接合部の寿命を短縮する主な要因となっています。モデル化した結果は、ワイブル解析に基づいて測定された寿命特性と非常によく一致しています。COMSOL FEAシミュレーション結果も、このような発見を立証しています。

### 3.4.4. 適切なアンダーフィルを選択するための基準

アンダーフィル材の選択では、チップとはんだの相互接続だけでなく、材料のいくつかの重要な特性も考慮しなければなりません。まず、アンダーフィル材のガラス転移温度は、アプリケーションにおける最大動作温度よりも高くなければなりません。さらに、アンダーフィルのCTEは、はんだのCTEにできるだけ近くなる必要があります。これは、はんだ接合部での余分な引張/圧縮の応力を回避するために、両者が同じ速度で膨張/収縮する必要があるためです。ガラス転移温度 (Tg) を超える温度で動作するとき、CTEが劇的に大きくなることに注意してください。TgとCTEに加えて、ヤング率 (または貯蔵弾性率) も重要です。非常に硬いアンダーフィルは、はんだバンプのせん断応力を軽減するために役立ちますが、このセクションの後半で説明するように、デバイスの角での応力が増加します。低粘度 (チップの下のアンダーフィルの流れを改善するため) と高熱伝導率も望ましい特性です。

メーカー名	型番	CTE (ppm/C)			25°Cでの貯蔵弾性率 (DMA) (N/mm <sup>2</sup> )	25°Cでの粘度	ポアソン比
		Tg (TMA) [°C]	Tg以下	Tg以上			
独ヘンケルのLOCTITE	ECCOBOND-UF 1173	160	26	103	6000	7.5 Pa*S	
ナミックス	U8437-2	137	32	100	8500	40 Pa*S	0.33
ナミックス	XS8410-406	138	19	70	13000	30 Pa*S	

表3-10: CSPデバイスのTC信頼性を向上させるために、テストされ、効果があることが証明されたアンダーフィル材の材料特性。

GaNトランジスタに使うアンダーフィルを選択するための主なガイドラインを以下に示します:

- アンダーフィルのCTEは、はんだ接合部のCTE (24 ppm/°C) を中心に16~32 ppm/°Cの範囲にする必要があります。この範囲内で、より低い値の方が、チップとプリント回路基板とのマッチングが向上するため、望ましい値です。

- ガラス転移温度 (Tg) は、最大動作温度よりも十分に高くなければなりません。Tgを超えて動作すると、アンダーフィルの剛性が失われ、はんだ接合部を保護できなくなります。
- ヤング率 (または貯蔵弾性率) は6~13 GPaの範囲です。この値が小さすぎると、アンダーフィルが柔軟になり、はんだ接合部の応力が緩和されません。この値が大きすぎると、チップの端に高い応力が集中し始めます。

### 有限要素解析

アンダーフィル使用時の熱機械的信頼性に影響を与える主要な要因をより深く理解するために、温度サイクル・ストレス下のEPC2206の有限要素シミュレーションを実施しました。図3-40は、この解析に使ったシミュレーションの構成です。チップは1.6 mm厚のFR4プリント回路基板上に配置され、温度変化は中性 (ストレスなし) 状態よりもΔT = +100°C高くしています。2つの主要なアンダーフィル・パラメータ (ヤング率とCTE) を変えました。図に示すように、ストレスは、カット・ラインに沿って解析し、はんだバー、チップ、アンダーフィルの内のストレスが可視化されます。

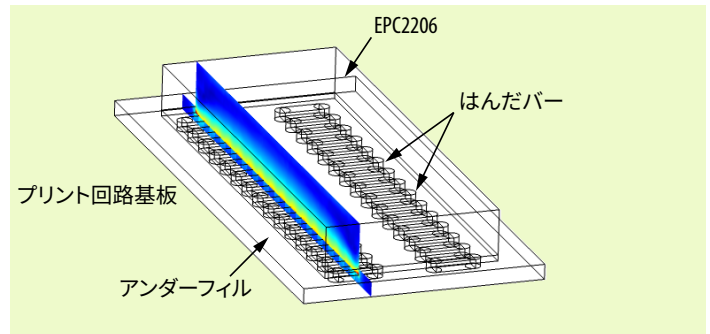


図3-40: 温度サイクル・ストレス下のEPC2206内部のストレスの有限要素解析のシミュレーション構成。アンダーフィル付きのチップが1.6 mm厚のFR4プリント回路基板上に配置されています。ストレスは、示されているカット・ラインに沿って解析しています。

図3-41は、カット・ラインに沿った最も端のはんだバーのミーゼス応力 [46] のピークせん断応力を示しています。分かりやすくするために、はんだバーの応力のみを示しています。加えて、接合部のせん断変位を示すために、機械的変形を20倍に誇張しています。アンダーフィルのヤング率 (E) またはCTEを変えることによって、4つの異なるアンダーフィル条件をシミュレーションします。この図から、アンダーフィルがない場合ははんだバーのせん断応力と変形はるかに大きいことが分かります。アンダーフィルを追加すると、接合部からの応力が大幅に軽減されます。ヤング率が高くなると、この応力はさらに減少します。はんだ接合部とのCTEのマッチングが良くないアンダーフィルの場合も、接合部に応力が蓄積する可能性があります。

最端のはんだ接合部のミーゼス応力

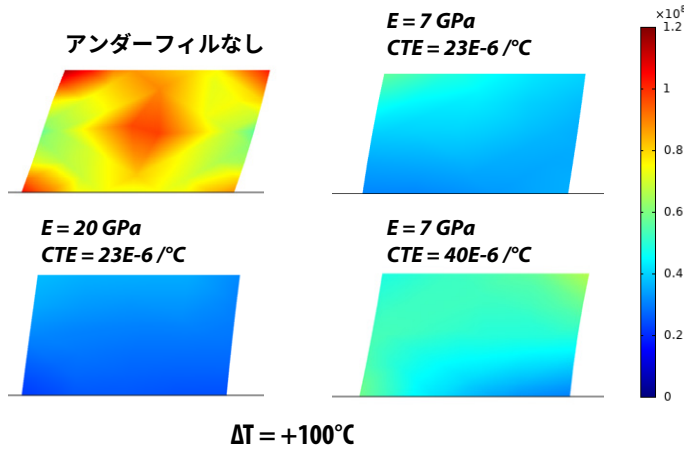


図3-41:  $\Delta T = +100^\circ\text{C}$ の温度サイクル変化における最端のはんだパールのミーゼス応力(ピークせん断応力)。アンダーフィルのヤング率とCTEを変えて、4つの異なるアンダーフィル条件をシミュレーションしました。すべての場合で、機械的変形を20倍誇張していることに注意してください。

図3-42は、同じ4つの条件を示していますが、今回は、ミーゼス応力をチップとアンダーフィルの両方に示しています。ヤング率が高い場合は、はんだ接合部の応力は小さいですが、チップ内部とチップの端付近のアンダーフィルの応力は高くなっています。これらの高い応力は、デバイス内部の亀裂や最終的な故障につながる可能性があります。

FEA解析では、最適なヤング率は約6~13 GPaの範囲にあり、はんだ接合部の保護とチップの端の保護の間で適切な妥協点が得られることが示されています。CTEに関しては、解析によって、アンダーフィルのCTEが高すぎる(32 ppm/°C以上)ことは避けるべきであることが示されています。

デバイスの端の近くのミーゼス応力

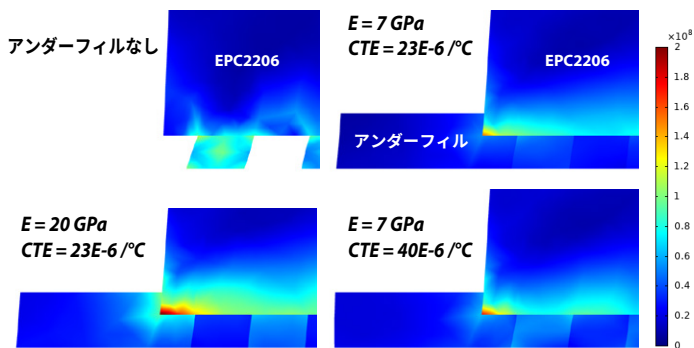


図3-42:  $\Delta T = +100^\circ\text{C}$ の温度サイクル変化における最端のはんだパールのミーゼス応力(ピークせん断応力)。アンダーフィルのヤング率(E)とCTEを変えて、4つの異なるアンダーフィル条件をシミュレーションしました。各図では、変形が同じスケールで誇張されていることに注意してください。

実験

温度サイクルの信頼性に対するアンダーフィルの影響は、EPC2218の車載品質品であるEPC2218A[47]を使って調べました。EPC2218Aは、チップスケール形式で販売されている定格100VのFETです。

アンダーフィル材の有無による温度サイクル応力条件の3種の異なる組み合わせを調べました。2種の温度サイクル範囲をテストしました：温度サイクル1(TC1)： $-40^\circ\text{C}\sim 125^\circ\text{C}$ と、温度サイクル2(TC2)： $-40^\circ\text{C}\sim 105^\circ\text{C}$ です。

TC1の温度範囲にわたって、アンダーフィル材ありとなしの2つの場合を比較しました。選択したアンダーフィル材は、以前の調査で良好な特性を示した独ヘルケルのLoctite(型番:Eccobond-UF1173)です[5]。

すべての場合において、各部品は、SAC305はんだペーストと水溶性フラックスを使って、2層、1.6mm厚のFR4基板で構成したDUTカードに取り付けました。アンダーフィルを塗布したすべてのデバイスは、アンダーフィルを塗布する前にプラズマ洗浄プロセスにかけました。この調査では、業界標準(JESD22-A104F[48])、およびその他のユーザーの仕様に従いました。

各テスト・レグで88個のEPC2218Aのグループをテストし、3つのレグすべてに対して2種の極端な温度で、同様のランプ・レートと滞留時間にしました。温度サイクルの間隔ごとに、電気的スクリーニングを実施しました。データシートの制限を超えると故障という基準を使いました。物理的な断面とSEM検査を実施し、電気的テストの故障を、さらに調べました。はんだ接合部の亀裂は、分析したすべての故障を通じて、単一の故障モードであることが分かりました。故障するまでのテストというアプローチによる実験結果を、図3-43のワイブル・プロットにまとめました。

ワイブル・プロット EPC2218A

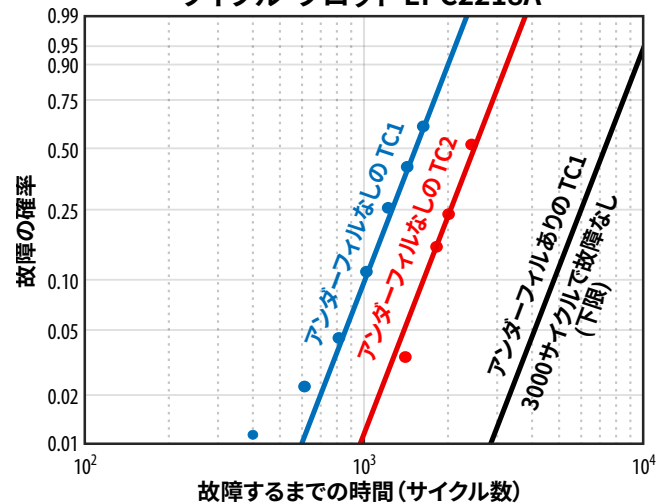


図3-43. EPC2218Aの温度サイクル結果のワイブル・プロット

アンダーフィル材なしのTC1( $-40^\circ\text{C}\sim 125^\circ\text{C}$ )テストでは、1600サイクルで累積故障率が50%を超え、物理的な故障解析によって、さまざまな読み取り点でのすべての故障において、はんだ接合部の亀裂が単一の故障モードであることが分かりました。アンダーフィルなしのTC2( $-40^\circ\text{C}\sim 105^\circ\text{C}$ )テストでは、2400サイクル後に故障率50%に達しました。図3-43のデータは、温度範囲が広いほど、TCストレスでの故障するまでの時間が短縮されることを示しています。ヘルケルのアンダーフィルを使ったTC1( $-40^\circ\text{C}\sim 125^\circ\text{C}$ )の3000サイクル後、絶対 $R_{DS(on)}$ 値でも、電気テスト後の $R_{DS(on)}$ シフトでも、異常なデバイスは見つかりませんでした。調べたすべてのパラメータは、すべての温度サイクル間隔を通じて、非常に狭い分布を示しました。物理的

な断面は、はんだ接合部の亀裂が見られなかった3000サイクルで合格したデバイスでランダムに実施しました。これは、適切なアンダーフィル材を適用すると、チップスケール・パッケージ・デバイスのTC能力が大幅に向上することを示しています。したがって、アンダーフィル・レグを使ったTC1のワイブル適合線は、現在のテスト結果に基づく信頼レベルの下限にすぎません。

基板レベルの温度サイクルに関係する主な故障メカニズムを理解するために、式3-19に示す Norris-Landzberg 寿命モデルを採用しました [49]。

$$N = A \cdot f^{-\alpha} \cdot \Delta T^{-\beta} \cdot \exp\left(\frac{E_a}{kT_{Max}}\right) \quad \text{式3-19}$$

ここで、Nは故障するまでのサイクル数、fはサイクル頻度、 $\alpha$ はサイクル頻度指数です。この頻度項fは使用頻度を表します。

この調査では、サイクル頻度は、1日当たりのサイクルの総数を数えることによって決められます。サイクル頻度指数 $\alpha$ は $-1/3$ です [50-53]。 $\Delta T$ は、1サイクルでの温度変化の範囲であり、 $\beta$ は温度範囲指数です。温度範囲指数 $\beta$ は通常、約2です。この調査では、SAC305はんだを使っているため、 $\beta$ には2.3の値が使われます [50-53]。

最後の変数は、各サイクルの最高温度 $T_{Max}$ でのクリープ破壊メカニズムに焦点を当てたアレニウス項です。ここで、 $E_a$ は活性化エネルギー、kはボルツマン定数、 $T_{Max}$ はケルビン(K)での高温滞留段階の最高温度です。 $T_{Max}$ での活性化エネルギー( $E_a$ )は0.18 eVと計算されました。

TC条件	$T_{min}$ (°C)	$T_{max}$ (°C)	特性 ワイブル寿命	MTTF (サイクル数)
TC1 アンダーフィルなし	165	40	36	1505
TC2 アンダーフィルなし	145	30	48	2430
TC1 アンダーフィルあり	165	40	36	7230 (信頼レベルの下限)

表3-11: ワイブル・プロットで決定した温度サイクルのプロファイルとMTTF

この調査は、それぞれセクション4.1.6と4.2.5で紹介した太陽光発電用コンバータとDC-DCコンバータの温度サイクル信頼性分析の基礎となります。

## 3.5. 機械的応力による摩耗

### 3.5.1. 機械的応力の摩耗メカニズムの概要

製品の寿命やアプリケーションへの適合性は、受ける機械的応力によって制限される場合があります。このセクションでは、最も一般的な機械的応力の要因であるチップせん断、裏面圧力、曲げ力について説明します。CSPやQFNのパッケージは、通常のアセンブリまたは取り付け条件下では、丈夫であることが実証されています。

### 3.5.2. チップスケール部品のチップせん断テスト

チップせん断テストの目的は、eGaN デバイスをプリント回路基板に取り付けるために使うはんだ接合部の完全性を評価することです。この判定は、実装したデバイスに適用するときに、チップがプリント回路基板からせん断される面内力に基づいています。すべてのテストは、軍用MIL規格のMIL-STD-883E、Method 2019 [54]に準拠しています。

図3-44は、選択した4種のGaNトランジスタのテスト結果です。各製品について10個の部品をテストしました。テストした最小のチップは、EPC2036/EPC2203で、直径200  $\mu\text{m}$ のはんだボールが4つしかなく、チップ面積は0.81  $\text{mm}^2$ です。予想どおり、この製品は、せん断強度が最も低いことが分かりましたが、図3-44のように、MIL規格で指定された最小力要件を超えています。テストした最大のチップはEPC2206で、チップ面積が13.94  $\text{mm}^2$ のランド・グリッド・アレイ(LGA)製品です。EPC2206は、最小の力要件を10倍以上上回っています。サイズ分布内で、さらに2種の製品、EPC2212(100VのLGA)とEPC2034C(200VのBGA)もテストしました。いずれの製品も、最小力を大幅に上回りました。

図3-44の結果は、すべてのWLCSPのGaN製品が最も厳しい条件下での環境せん断応力に対して機械的に丈夫であることを示しています。

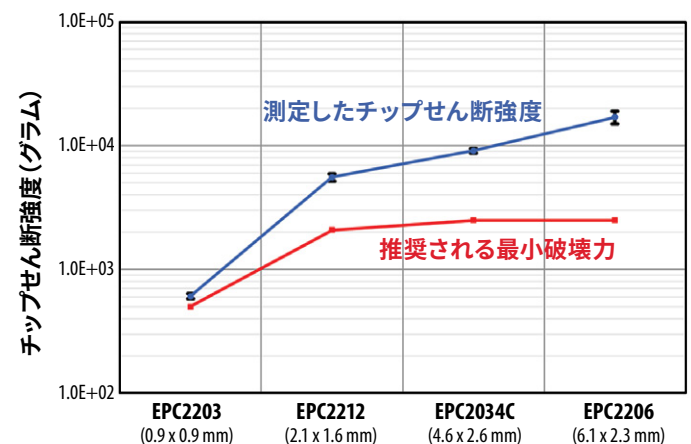


図3-44: GaNトランジスタのさまざまなチップ・サイズとはんだ構成を、せん断強度を測定すると同時に故障するまでテストしました。この結果は、黒色の点で示しています。赤色の点は、MIL-STD-883E、Method 2019で推奨される最小チップせん断強度です。

### 3.5.3. チップスケール部品の裏面圧力テスト

GaN デバイスの機械的丈夫さのもう1つの重要な視点は、裏面圧力にどれだけうまく対処できるかです。これは、チップ裏面の放熱を必要とするアプリケーションでは重要な考慮事項です。アセンブリ中に安全な「ピック・アンド・プレース」の配置力を決めることも重要です。

最大400 psiの裏面圧力テストを実施しました。ここで、この圧力は、加えられた力をチップ面積で割って計算されます。この圧力は、0.6 mm/分の負荷速度を使って、チップの裏面に直接加えました。圧力テストの前後に、パラメータ・テストを行い、合格か不

合格かを判定しました。その後、各部品は、60 V<sub>DS</sub>、85°C、相対湿度85%で300時間、高温高湿逆バイアス・テスト (H3TRB) に曝しました。H3TRBは、圧力テストによる機械的損傷 (内部亀裂) によって生じた潜在的な故障があるかどうかを判断するために有効です。

EPC2212 (100 V、LGA) とEPC2034C (200 V、BGA) をテストし、両方とも400 psiで合格しました。400 psiは、デバイス (Si基板) の裏面に印加した力をチップ領域に正規化して計算します。結果は、GaNトランジスタがプリント回路基板のアセンブリ・ハウスで通常使われる裏面圧力を処理するために十分な余裕があることを示しています。これらの部品は400 psiに耐えましたが、裏面圧力は50 psi以下に制限する必要があります。

### 3.5.4. チップスケール部品の曲げ力テスト

曲げ力テストの目的は、GaNトランジスタが、取り扱い、アセンブリ、または動作中に発生する可能性のあるプリント回路基板の曲げに耐える能力を判断することです。このテスト規格は、受動表面実装部品 (AEC-Q200) [55] 用に開発されましたが、多くのユーザーは、主に2つの理由から GaNトランジスタの曲げ力について懸念を抱いています：

1. WLCSPのはんだ接合部の丈夫さ；
2. トランジスタ内の圧電効果によって、デバイスのパラメータ値が変化したり、回路の動作が妨げられたりする可能性があります。

これらの懸念に対処するため、AEC-Q200-005A テスト規格 [61] に従って、4個のEPC2206デバイスに対して曲げ力テストを実施しました。デバイスをFR4プリント回路基板 (長さ100 mm × 幅40 mm × 厚さ1.6 mm) の中央付近に実装しました。両端をしっかりと固定し、デバイスの反対側に力を加えると、プリント回路基板が上向きにたわみます。この屈曲状態で60秒間維持した後、すべてのデバイスの電気パラメータを測定します。

表3-12は、テスト対象の4個のデバイスすべての正規化したR<sub>DS(on)</sub>と基板のたわみの関係を示しています。すべてのデバイスが2 mmのテスト条件に合格しました。2個のデバイスは6 mmのたわみで故障しましたが、残りの2個は8 mmまで生き残りました。事後分析によって、故障モードは、はんだ接合部の亀裂であることが明らかになり、ゲート接続がオープンになりました。故障するまで加えても、R<sub>DS(on)</sub>は基板のたわみに対して、感知できるほどの反応を示しませんでした。同じことが、しきい電圧V<sub>TH</sub>や漏れ電流I<sub>DSS</sub>のような他の電気的特性でも観測されました。

	0 mm	2 mm	4 mm	6 mm	8 mm
DUT1	1.00	1.01	1.00	0.98	0.98
DUT2	1.00	1.02	1.01	故障	-
DUT3	1.00	1.01	1.03	故障	-
DUT4	1.00	0.99	0.99	1.03	1.04

表3-12: 曲げ力テスト中の4個のデバイスの正規化したR<sub>DS(on)</sub>と基板のたわみ

注: 値は、屈曲していない場合のR<sub>DS(on)</sub>に正規化しています。4個のデバイスのうち2個は、6 mmのたわみで故障しましたが、残りの2個のデバイスは8 mmで生き残りました。どのデバイス・パラメータでも、応力への大きな反応は見られませんでした。

### 3.5.5. PQFN部品の曲げテスト

プリント回路基板の曲げテストは、プリント回路基板の曲げと反りの応力条件下で、PQFN (power quad-flat no-leads) パッケージのデバイスとプリント回路基板の間のはんだ接合部の丈夫さを評価するために実施しました。これらのテストは、モーター駆動用途でのプリント回路基板の変形、自動車関連用途での機械的衝撃やプリント回路基板の曲げなど、潜在的な機械的衝撃が存在するときのモジュールのアセンブリ、取り扱い、操作に関するユーザーの懸念に対処します。曲げテストでは、IEC-60068-2-21で説明されている基板の曲げテストに従って、3点曲げの設定を使います。デバイスは、長さ180 mm、幅90 mm、厚さ1.6 mmの8層プリント回路基板の中央に実装しました。プリント回路基板は、90 mmの隙間がある2つの支持固定具に配置しました。テスト対象デバイスは、下向きに配置しました。曲げツールは、プリント回路基板の裏面で下向きの力を加えて、曲げたわみを強制します。このテストの設定が図3-45です。

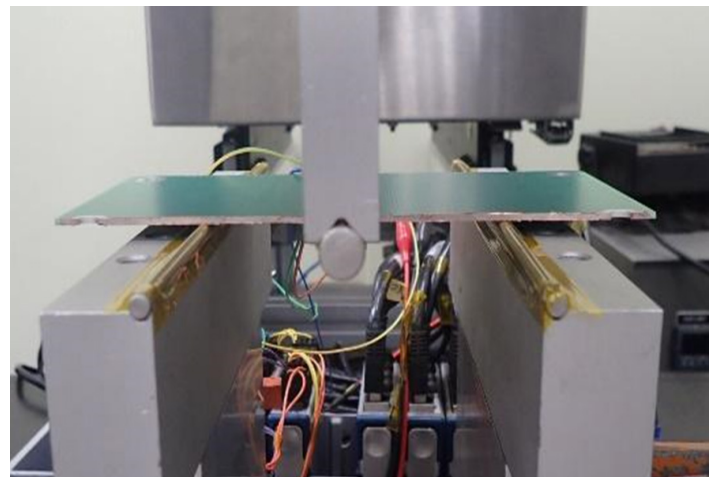


図3-45: 曲げテストの設定

### テスト装置

数珠繋ぎにしたPQFNデバイスは、テスト中に、はんだ接合部の抵抗をその場で確実にモニターするために使います。数珠繋ぎにしたPQFNデバイスは、EPC2302と同じPQFN部品のレイアウト、構造、材料を使って開発し、製造しています。唯一の違いは、内部のGaNオン・シリコンのチップの裏面金属の経路です。特別に設計したプリント回路基板と組み合わせることで、図3-46のように、プリント回路基板と数珠繋ぎにしたPQFNデバイスの間のはんだ接合部を介した数珠繋ぎ接続を実現できます。

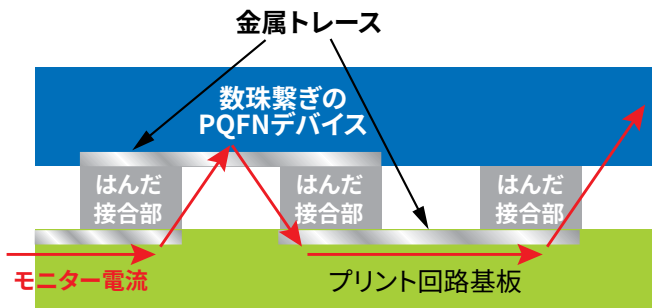


図3-46: 数珠繋ぎ接続の概略図

テスト条件と結果

最初のテスト条件では、一定の負荷でのんだ接合部の丈夫さを評価します。10個のデバイスに、20秒間にわたって、最大2mmの曲げ変形を与えました。曲げテスト中、数珠繋ぎデバイスの抵抗は、その場でモニターしました。表3-13は、テスト前後の各デバイスの抵抗を示しています。10個のデバイスすべてにおいて、抵抗の変化は最小限であり、このテストではんだ接合部の劣化は発生していないことを示しています。

項目	サンプル番号	テスト前の抵抗 (Ω)	テスト後の抵抗 (Ω)
条件1	1	0.21	0.22
	2	0.20	0.20
	3	0.20	0.21
	4	0.20	0.19
	5	0.22	0.22
	6	0.19	0.18
	7	0.19	0.18
	8	0.17	0.18
	9	0.20	0.19
	10	0.19	0.20

表3-13: 2mmのたわみに対する最初のテスト前後の抵抗

はんだ接合部の品質をさらに検証するために、図3-47に示すように、はんだ接合部の断面検査のために3個のデバイスをランダムに選択しました。断面は曲げ方向に対して直交しています。断面には、はんだ接合部の亀裂は見られず、これは抵抗の記録と一致しています。したがって、これらの結果は、PQFNのはんだ接合部がプリント回路基板の曲げによる一定の負荷を高い信頼性で処理できることを示しています。

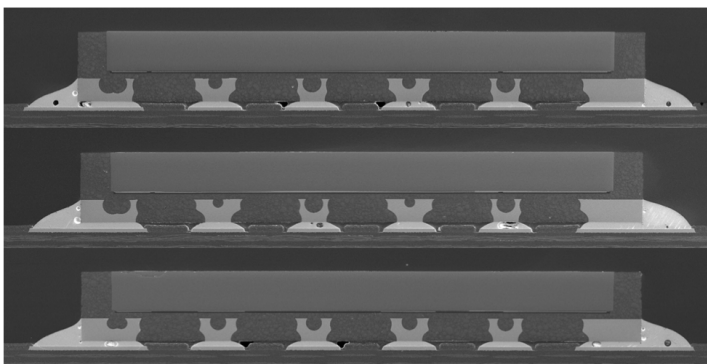


図3-47: 一定の負荷の下でのんだ接合部の丈夫さの断面画像

表3-14は、曲げテスト前後の抵抗記録と曲げの最大たわみを示しています。すべてのデバイスは、10mmまでの曲げたわみに合格し、抵抗の変化量はわずかでした。2個のデバイスは、約11mmの曲げたわみで故障しました。故障した2個のデバイスに対して故障解析を実施した結果、故障モードはGaNオン・シリコンのチップの亀裂であることが明らかになりました(図3-48参照)。故障したチップに対して、はんだ接合部の断面を検査しましたが、はんだ接合部の亀裂は見られませんでした。したがって、PQFNデバイスは、はんだ接合部の劣化が観測されることなく、10mmまでのプリント回路基板の曲げに耐えることができます。

項目	サンプル番号	テスト前の抵抗 (Ω)	テスト後の抵抗 (Ω)	最大のたわみ (mm)
条件2	1	0.27	0.26	15.00
	2	0.26	1.78	11.36
	3	0.24	0.24	15.00
	4	0.23	0.23	15.00
	5	0.26	0.26	15.00
	6	0.23	0.22	15.00
	7	0.22	0.23	15.00
	8	0.21	0.22	15.00
	9	0.23	0.23	15.00
	10	0.23	0.86	10.82

表3-14: 10mmのたわみに対する2回目のテスト前後の抵抗と曲げの最大たわみ

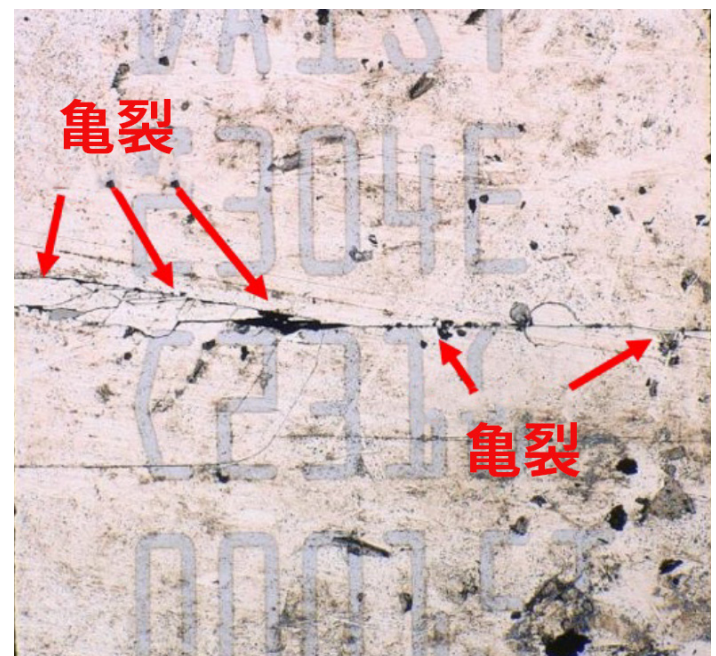


図3-48: GaN オン・シリコンのチップの亀裂

図3-49に示すように、サンプル番号2と10の破損は、小さいたわみでのテスト中に目立った劣化が見られずに突然発生しました。

## 2つの故障力所のその場での抵抗モニタリング

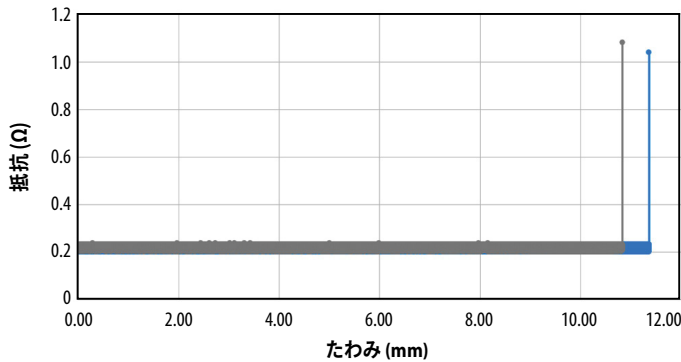


図3-49: 2つの故障力所のその場での抵抗モニタリング結果

## セクション4: ミッション固有の信頼性予測

セクション2では、さまざまな強度と期間のストレス条件を含むアプリケーションにおけるデバイスの寿命を分析するための理論的フレームワークを紹介しました。このセクションでは、そのフレームワークを3つのアプリケーション例（太陽光、DC-DC、Lidar）に適用します。

## 4.1. 太陽光発電用途特有の信頼性

## 4.1.1. はじめに

マイクロインバータとパワー・オブティマイザは、エネルギーの効率と変換を最大化するために、現代のソーラー・パネルで広く使われています。このような回路構成と実装には通常、最低25年の寿命が必要であり、これが市場での採用にとって重大な課題となっています。低電圧窒化ガリウム (GaN) のパワー・デバイス ( $V_{DS}$  定格 200 V 以下) は、有望なソリューションであり、多くのソーラー・メーカーによって広く使われています。

このセクションでは、故障するまでのテストのアプローチを採用し、GaNトランジスタの本質的な摩耗メカニズムを調査します。この調査によって、太陽光発電用途におけるさまざまなミッション・プロファイルの固有の要求の下で、寿命を正確に予測できる物理ベースの寿命モデルの開発が可能になります。

## 4.1.2. 太陽光発電の動向

再生可能エネルギー源の需要がますます高まっているため、住宅分野や商業分野の屋上太陽光発電設備が急速に増加しています。従来、ストリング・インバータは、複数のソーラー・パネルを直列に接続したソーラー設備で広く使われています。このインバータは、ソーラー・パネルからの直流 (DC) 出力を、家庭の電力として使える交流 (AC) 電力に変換する役割を果たします。

ストリング・インバータは、長年にわたって信頼できる選択肢として提供されてきました。ただし、日陰による性能の低下、パネルの不一致の問題、モジュール・レベルのモニターの欠如など、多くの課題にも直面しています。最も重要なのは、ストリング・インバータの直列構成によって、最も性能の低いパネルがシステム全体のエネルギー変換率を左右し、システム効率が大幅に低下する可能性があることです。

米国エネルギー省は、2010年に1米ドル/Wの太陽光発電 (PV) システム・イニシアチブを発表し、この目標を達成するための重要な改善分野として、高効率で信頼性の高いモジュール・レベルの統合インバータの開発を強調しました [57]。SunShot 2030 PVプログラムでは、2030年までに同様のコスト目標を掲げています [58]。この目標を達成し、エネルギー生産を最大化するために、マイクロインバータやパワー・オブティマイザなどの新たに出てきた技術が大きな注目を集めています。

マイクロインバータは、各ソーラー・パネルに取り付けられた小型の個別インバータで、パネル・レベルでDCからACへの電力変換を可能にします。これによって、独立した最大電力点追従制御 (MPPT: maximum power point tracking) を使うことで、各ソーラー・パネルが最高の性能を発揮できるようになります。木の枝が特定のパネルに影を落とした場合でも、隣接するすべてのパネルは最大容量で変換できます。効率の低下は、影になっているパネルにのみ影響します。

独立した追跡によって、太陽光発電のユーザーは各パネルの状態を簡単にモニターできます。パネルの修理が必要になったときでも、システム全体が停止することはありません。加えて、マイクロインバータを使うと、パネルを追加して出力を増やすことが容易になります。マイクロインバータは、ストリング・インバータよりも高価になる可能性があります。システムからより多くの電力を得ることで、時間の経過と共に元が取れます。したがって、市場のマイクロインバータは、パネルの保証に匹敵する25年間の保証が必要です [59,60]。

パワー・オブティマイザは、ソーラー・パネルの配線に統合されたDC-DCコンバータであり、DC特性を継続的に調整して、エネルギー出力を最大化することによって、個々のソーラー・パネルのMPPTを可能にします。パワー・オブティマイザは、日陰が問題になる状況や、パネルを異なる方向の複数の屋根面に設置する必要がある場合に適したソリューションです。したがって、パワー・オブティマイザは、一般にストリング・インバータよりもエネルギー効率の高いソリューションです。パワー・オブティマイザには25年の保証も必要です [61,62]。

## 4.1.3. 太陽光発電における故障するまでのテストの適用

太陽光発電システムにおいて、ストリング・インバータから、マイクロインバータやパワー・オブティマイザへの切り替えを推進する利点を検討した後、故障するまでのテスト方法論を紹介し、デバイス故障の原因となる可能性が最も高い3つのデバイス「ストレス要因」、つまりゲート・バイアス、ドレイン・バイアス、温度サイクルを特定します。以降のセクションでは、平均故障時間 (MTTF) やその他のパラメータで表されたこれらの各要因がデバイス寿命に与える影響を評価します。

25年間の信頼性の高い動作要件に伴う懸念に信頼性高く対処するために、故障するまでのテストのアプローチ [4,9,70,73] を採用し、太陽光発電用途で一般的に使われる GaN デバイスに適用します。

根本的な故障メカニズムを理解することで、GaNのユニークな特性を説明する物理ベースの寿命モデルを開発できます。開発したモデルは、太陽光発電用途に特有のすべてのミッション・プロファイルにおける寿命を正確に予測するために使えます。

太陽光発電用途のミッション・プロファイルを調べると、ゲート・バイアス、ドレイン・バイアス、温度サイクル (TC) という3つの主要な信頼性ストレス要因を特定できます。合計MTTFは、式4-1で表すことができます。

$$\frac{1}{MTTF_{Total}} = \frac{1}{MTTF_{Gate}} + \frac{1}{MTTF_{Drain}} + \frac{1}{MTTF_{TC}} \quad \text{式4-1}$$

したがって、どのストレス要因が信頼性の制限要因であるかを理解することが重要です。このストレス要因は、設計および運用中にさらに考慮しなければなりません。

#### 4.1.4. ゲート・バイアス

GaNの高電子移動度トランジスタ (HEMT) は、太陽光発電用途においてDC-AC (マイクロインバータ) またはDC-DC (パワー・オプティマイザ) の構成で使われています。スイッチング中は、ゲート端子を定期的にバイアスしなければなりません。したがって、ゲートの経時的な信頼性が最初に検討すべきストレス要因です。図3-2 (セクション3.1.2) に示すように、GaN HEMTは、 $V_{GS(max)} = 6V$ で、25年間連続してDCバイアス加えた後、約1 ppmの故障率が予測されます。

#### 4.1.5. ドレイン・バイアス

GaN HEMTの低いオン抵抗 ( $R_{DS(on)}$ ) と小さなチップ・サイズによって、電力変換効率が大幅に向上し、マイクロインバータやDC-DCコンバータの用途での電力損失を低減できます。ただし、GaNの共通の懸念事項の1つは、動的オン抵抗です。

フライバックは、太陽光発電用途におけるマイクロインバータの最も一般的な回路構成の1つです。1次側に適切なGaNトランジスタを選択するとき、ドレイン電圧に影響を与える3つの主要な要因を考慮します。すなわち、(1) バス電圧、(2) フライバック電圧、(3) 設計上の寄生インダクタンスによって生じるリングングによる電圧オーバーシュートです。太陽光発電用途におけるマイクロインバータの一般的なバス電圧は60Vです。フライバック電圧は、システムの出力電圧とトランスの巻数比の積によって決まります。電圧オーバーシュートと定格低減にいくらかの余裕を追加することで、このような回路構成を使う太陽光発電のユーザーは、最大 $V_{DS}$ 定格170Vを希望することがよくあります。

EPC2059 [63] は、最大 $V_{DS}$  定格が170Vの製品で、太陽光発電用途のマイクロインバータの一般的な要件を満たしています。図4-1は、パッケージ温度を80°Cに調節したときに、136V (最大定格ドレイン・バイアス170Vの80%) の連続ハードスイッチング下で動作させた代表的なEPC2059デバイスのその場での $R_{DS(on)}$  テスト結果です。この温度が使われるのは、ソーラー・パネルの公称動作温度と見なされているからです。図4-1のように、寿命モデルを測定データに対してプロットしています。このモデルは、25年間の連続ハードスイッチングによる $R_{DS(on)}$  の増加が約10%になると予測しています。

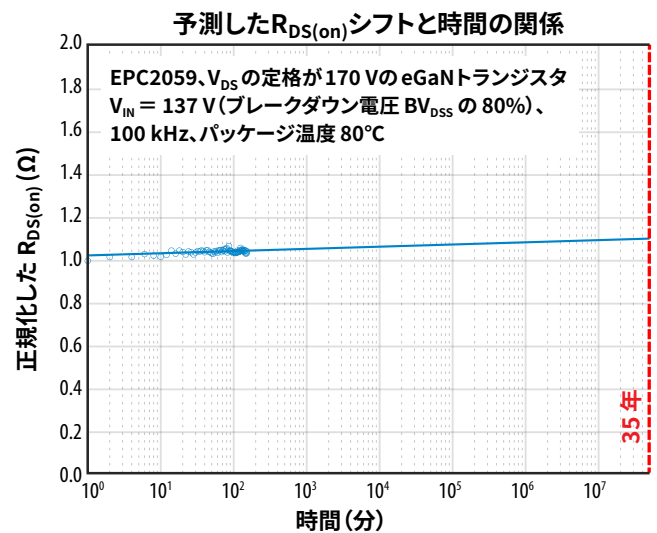


図4-1: 170V 定格のデバイスである EPC2059 に対して、136V、100kHz の連続ハードスイッチング動作を25年間続けた場合に予測した  $R_{DS(on)}$  の変化は約10%です。青色の円は測定データを表します。

太陽光発電システムでよく使われるもう1つのオプションは、パワー・オプティマイザにDC-DCコンバータを使うことです。これは、その優れた効率から、多くの太陽光発電プロバイダに採用されています。EPCの100V定格のEPC2218 [64] やEPC2302 [81] などのGaNデバイスは、この用途に最適です。

図4-2は、寿命モデルで得られた結果を、2つの代表的なデバイス (EPC2218とEPC2302) のその場で測定したデータと一緒にプロットしたものです。最大定格ドレイン・バイアスの80%、100kHzでの25年間の連続ハードスイッチングにおいて、10%以下のシフトが期待できます。この結果は、動的 $R_{DS(on)}$  故障が、太陽光発電用途におけるEPCのGaNデバイスの寿命を決定する主要な要因ではないことを示唆しています。

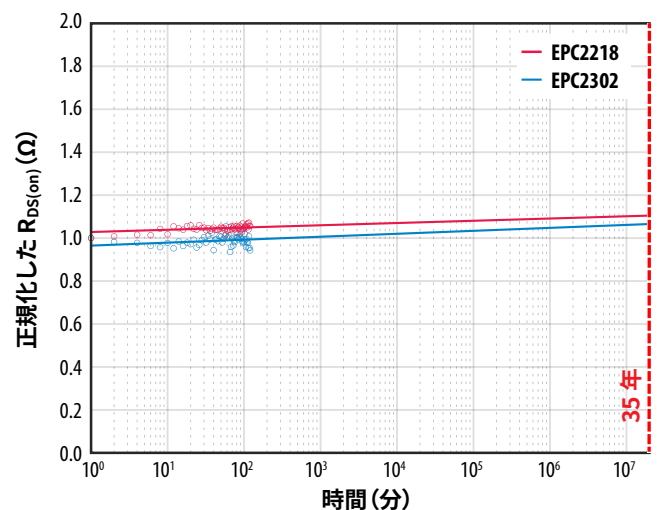


図4-2: 定格電圧100Vのデバイスである EPC2218 と EPC2302 の80V、100kHzでの連続ハードスイッチング動作時の予測した  $R_{DS(on)}$  シフトのプロットです。青色と赤色の円は測定データを表しています。

#### 4.1.6. 温度サイクル

温度サイクルTCは、太陽光発電用途にとって特に重要なもう一つの項目です。ソーラー・パネルは屋外に設置され、毎日、大きな周囲温度の変化にさらされます。したがって、ソーラー・パネルのプリント回路基板に搭載されたデバイスは、25年間の継続的な周囲温度の変化に耐えなければなりません。

実際のアプリケーションでは、ソーラー・パネルは、さまざまな周囲温度に曝され、温度変化の量は、季節や場所によって大きく異なります。この結果、25年間の寿命にわたるすべてのミッション・プロファイルを考慮するためには、熱機械的ストレスのより一般的な寿命モデルが必要になります。式4-2のように、季節によって異なる $\Delta T$ を考慮するために、別のTC寿命モデルが以下で開発されています。

$$\frac{1}{N_{Total}} = \frac{a}{N_{\Delta T_a}} + \frac{b}{N_{\Delta T_b}} + \dots + \frac{i}{N_{\Delta T_i}} \quad \text{式4-2}$$

ここで、 $N_{Total}$ は計算された全寿命サイクル数、 $N_{\Delta T_a}$ は $\Delta T_a$ の条件における故障するまでのサイクル数、 $a$ はデバイスが $\Delta T_a$ の条件で動作していた時間の割合、 $N_{\Delta T_b}$ は $\Delta T_b$ の条件における故障するまでのサイクル数、 $b$ はデバイスが $\Delta T_b$ の条件で動作していた時間の割合、 $N_{\Delta T_i}$ は $\Delta T_i$ の条件における故障するまでのサイクル数、 $i$ はデバイスが $\Delta T_i$ の条件で動作していた時間の割合です。

はんだ接合部の寿命を決定する要因は主に3つあります：

1. 各ミッション・プロファイルの期間は、分離する必要があります。この効果は、式(4-2)の各項の分子の分数係数、例えば、 $a$ 、 $b$ 、 $\dots$ 、 $i$ によって構成されます。
2. 各ミッション・プロファイルにおける温度変化( $\Delta T$ )。この項は、図4-3にプロットされたNorris-Landzbergモデルによって対処できます。はんだ接合部は、デバイスが最大の $\Delta T$ を受ける期間中に最大のストレスを受けます。これは、故障するまでのサイクル数が最も少なくなることを意味します。デバイスの全体的な寿命は基本的に、最もストレスのかかる期間によって左右されます。この影響は、故障するまでのサイクル数の項( $N_{\Delta T}$ )を分母に入れて、それらをまとめて合計することで処理できます。
3. 各サイクルの極端な最高温度。例えば、冬と夏で $\Delta T$ が同じでも、はんだ接合部にかかるストレス・レベルは異なる場合があります。

これらの各要因は、セクション3.4.4で示した基板レベルの熱機械信頼性調査に基づく以下の分析に含まれており、アンダーフィル付きEPC2218Aの故障率を0.1%と仮定しています。

図4-3に、 $T_{Max}$ が最悪のシナリオである125°Cと仮定した場合のNorris-Landzbergモデルを使って予測した寿命曲線を示します。9125サイクルの水平の黒色の破線は、1日1回の熱サイクルを想定した場合の25年間の連続動作期間を表します。

図4-3は、高温から低温へ、またはその逆の72°Cの一定温度変化で25年間連続動作した後、アンダーフィル材を使ったEPC2218Aデバイスのわずか0.1%が、 $R_{DS(on)}$ 値の増加によってデータシートの制限に不合格だったことを示しています。故障率が1%の場合、

99%のデバイスは、95°Cの一定 $\Delta T$ に曝された場合、25年間の連続動作に耐えられるはずですが、アンダーフィル材がなくても、部品の99%は、25年間の寿命にわたって約51°Cの固定 $\Delta T$ に耐えられるはずですが。

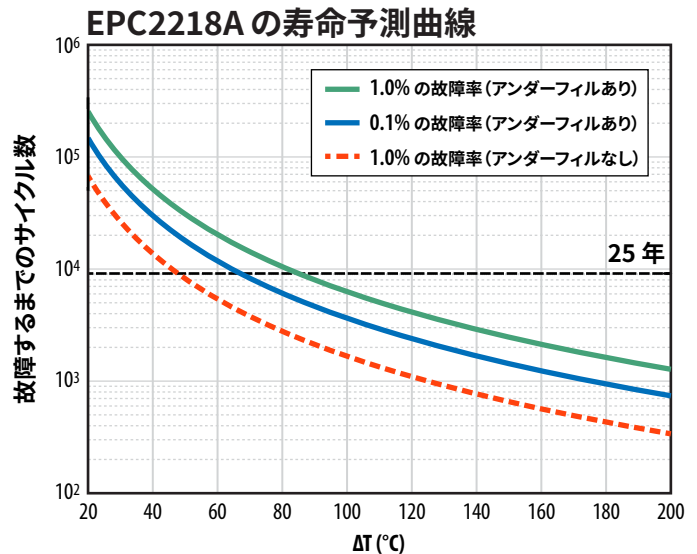


図4-3: Norris-Landzberg モデルを使ったときの $\Delta T$ に対するEPC2218Aの寿命予測曲線

ここで、式3-19 (セクション3.4.4) の寿命モデルの実際の例を検討してみましょう。米国アリゾナ州フェニックスのソーラー・パネルの近くに、システムが屋外に設置されていると仮定します。この地域の気候は太陽光発電に適していますが、時間の経過と共に極端な温度変化も発生します。アリゾナ州フェニックスの天気予報履歴を使った例を挙げます [65]。

加えて、全寿命計算では、周囲温度の変化に30°Cのデバイスの自己発熱が加算されます。0.01%の故障率、100 ppmの場合、つまりテストした100万個の部品のうち100個のデバイスが故障した場合、アンダーフィル付きEPC2218Aは、故障するまでに1万8218サイクルと予測されます。これは、この例の用途でGaNデバイスに対して、1日1サイクルとしたとき、49.9年の動作寿命に相当します。

故障率を0.001%、10 ppmと推定すると、テストしたデバイス100万個のうち、わずか10個のみが故障することになりますが、全寿命は1万971サイクルと計算できます。これは、1日1サイクルで約30年間連続して動作することに相当します。

この結果は、温度サイクルが、太陽光発電用途で使われるGaNの全体的な寿命を制限する可能性のある最も重要なストレス要因であることを示しています。ただし、適切なアンダーフィル材料を使うことで、TCの信頼性が大幅に向上し、公称太陽光発電ミッション・プロファイルに対して、低い故障率で必要な25年間の連続動作を超えることができます。

### 4.1.7. 結論

故障するまでのテストの結果と物理ベースの寿命予測から、ゲート・バイアスもドレイン・バイアスも、太陽光発電用途におけるマイクロインバータやパワー・オプティマイザの信頼性に関する大きな懸念事項ではないことがわかります。適切なアンダーフィル材料を使うことで、熱サイクルの信頼性リスクを大幅に低減でき、寿命を25年以上に延ばすことができます。

## 4.2. DC-DC用途固有の信頼性

### 4.2.1. はじめに

DC-DCコンバータは、現代のパワー・エレクトロニクスのおおむねすべてのアプリケーションに使われています。チップ・サイズが小さく、オン抵抗と寄生容量が低いこと、GaNパワー・デバイスは、優れた変換効率と記録的な電力密度を提供します。このレポートでは、一般的なDC-DCコンバータで発生するような固有の摩耗メカニズムを調査するために、故障するまでのテスト手法を採用しています。デバイスは、ゲート・バイアス、ドレイン・バイアス、温度サイクルで個別にストレスを受けます。したがって、各ストレス要因の寿命は、故障するまでのテストから開発された物理ベースのモデルと、DC-DCコンバータの固有のストレス条件の理解に基づいて予測できます。

GaNデバイスは、同等のシリコン・デバイスよりも3~10倍優れた性能指数(FOM)を備え、スイッチング特性と電力密度が優れています。GaN FETが改善される続けている一方で、Si MOSFETはすでに、理論上の限界に非常に近づいているため、この傾向は加速するばかりです。

GaNデバイスによって、同期整流型バック・コンバータなどの使いやすい回路構成が実現でき、効率と電力密度が新たなレベルに達しています。スイッチング損失の低減と逆回復がないことを利用して、設計者はスイッチング周波数を上げられると同時に、電力損失も減らすことができます。スイッチング周波数の上昇によって、コイルの小型化と高効率化が可能になり、抵抗損失をさらに下げて全体の体積を減らすことで、効率を向上させることができます。静電容量のコストも削減でき、過渡応答も改善されます。全体として、これによって、高電力密度、高効率、低いシステム・コストの設計が可能になり、さまざまな最終市場で広く採用される傾向にあります。

GaN HEMTは、電力密度が目標である場合に特に有効です。例えば、設計者は、EPCのウェハー・レベルのチップスケール・パッケージ(WLCSP)を利用して、48Vの電力分配レールに移行するサーバー用途向けの中間バス・コンバータ(IBC: intermediate bus converter)の電力密度を大幅に高められます。多くの設計者は、1次側と2次側の両方にGaNを使った直流トランス(DCX)として動作するLLC構成を選択しました。1次側では、GaNのサイズが小さいため、デバイスはパワー MOSFETと同じ実装面積で導通損失とゲート駆動損失を削減でき、出力容量 $C_{OSS}$ が小さいため、LLCは、より大きな電力供給サイクルと、トランスをよりうまく利用して動作できます。2次側では、GaNによって、特定の領域での導通損失が最も低くなり、ゲート電荷 $Q_G$ が非常に小さいためゲート駆動損失が最小化できます。最高クラスのパワー・デバイスと高度なパッケージ技術の組み合わせによって、記録的な電力密度が実現しています [66]。

### 4.2.2. 故障するまでのテスト手法

DC-DC用途では、ゲート・バイアス、ドレイン・バイアス、温度サイクル(TC)の3つの主なストレス要因が特定されます。合計MTTFは式4-3で表すことができます。

$$\frac{1}{MTTF_{Total}} = \frac{1}{MTTF_{Gate}} + \frac{1}{MTTF_{Drain}} + \frac{1}{MTTF_{TC}} \quad \text{式4-3}$$

### 4.2.3. ゲート・バイアス

DC-DCコンバータでは、スイッチング中に、GaN HEMTのゲート端子を定期的にバイアスしなければなりません。GaN HEMTは、 $V_{GS(max)} = 6V$ で25年間の連続直流バイアスを加えた後、約1ppmの故障率が予測されます。これは、ゲート・バイアスのストレスが全体の寿命を制限する主なストレス要因ではないことを示しています。

### 4.2.4. ドレイン・バイアス

ドレイン・バイアス下のGaNの信頼性に関する懸念として頻りに議論されることは、動的オン抵抗 $R_{DS(on)}$ です。デバイスが高いドレイン・ソース間電圧( $V_{DS}$ )に曝されるとGaN HEMTの $R_{DS(on)}$ が上昇する摩耗メカニズムです。 $R_{DS(on)}$ の増加の原因となる主なメカニズムの1つは、トラッピング効果によって誘発されるホット・エレクトロンです [1,5,9,67]。トラップされた電荷が蓄積すると、2次元電子ガス(2DEG)からの電子が枯渇し、 $R_{DS(on)}$ が増加します。詳細な寿命モデルの導出については、セクション3.2で説明します。

次のセクションでは、次の知識のギャップについて説明します：

- 一般的なDC-DCコンバータの代表的なドレイン電圧波形を、さまざまな信頼性テスト構成(ストレス源)と、どのように相関させることができますか？
- 電子トラッピング効果から開発された寿命モデルに基づく、個々の信頼性テスト構成(ストレス源)の予測寿命は、どれくらいですか？
- 個々の信頼性寿命予測によって、GaNデバイスの全体的な寿命が、どのように決まりますか？

まず、100VのGaNトランジスタ(EPC2045)を搭載したデモ・ボードEPC9078を使って、バック・コンバータのSPICEシミュレーションを実施しました[68]。実際のアプリケーションの極端な条件を含めるために、意図的に設計が不十分なバック・コンバータをシミュレーションし、異常に高い寄生インダクタンスを追加して最悪のシナリオをエミュレーションしました[1,5,9]。図4-4(a)は、シミュレーションしたオフ時の電圧波形です。ドレイン電圧はすぐに約120Vのピーク電圧までリングングし、その後、リングングの振幅は急速に小さくなって80Vのバス電圧で安定します。図4-4(a)のシミュレーションした電圧波形は、図4-4(b)と(c)に示すように、2つの別々の電圧波形で畳み込みを解けます。図4-4(b)は、過電圧リングングを半正弦波電圧波形の組み合わせで合わせ込むことができることを示しています。リングングが抑えられてバス電圧に達した後、波形の平衡部分は図4-4(c)に示すような電圧波形でモデル化できます。図4-4(b)と(c)の波形は、2つの異なる信頼性テスト回路によって実現できます。これらについては、以下で個別に説明します。

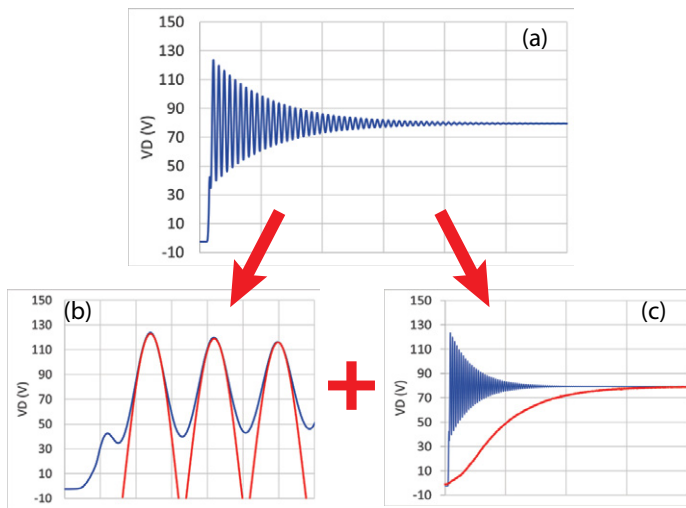


図4-4: (a) 設計が不十分なバック・コンバータに基づくシミュレーションしたオフ時のドレイン電圧波形。120 Vのリングングと80 Vのバス電圧を示しています。(b) リングングは、半正弦波の波形の組み合わせで合わせ込まれます。(c) 波形の平衡部分は、赤色で示されている異なる電圧波形で合わせ込まれます。

過渡過電圧リングングは、高 dV/dt スイッチング条件のとき、GaN HEMT でよく見られます。GaN HEMT にはアバランシェ・メカニズムがないため、このような過渡過電圧ストレス下での信頼性への影響は、業界にとって重要な課題になりつつあります。この課題に適切に対処するため、図4-5 (a) のように、クランプしていない誘導スイッチング (UIS: unclamped inductive switching) のテスト回路を開発しました。図4-5 (b) は、開発した UIS テスト・システムによって生成された 120 V の過電圧スパイクを伴う半正弦波電圧波形です。この過渡過電圧テストは、6% のデューティ比、100 kHz で繰り返し実施し、その間、GaN HEMT はオンになり、 $R_{DS(on)}$  をその場でモニターします。

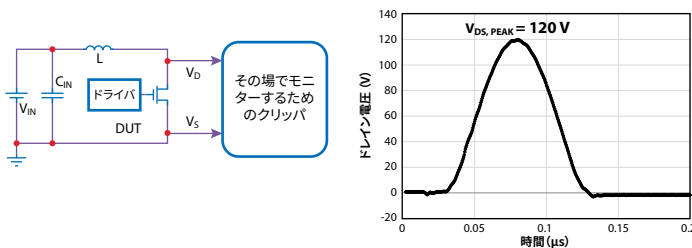


図4-5: (a) その場での  $R_{DS(on)}$  のモニターに使ったクリップ回路を備えた UIS テスト・システムの回路図。(b) UIS によって生成された 120 V ピークの過電圧ドレイン波形。

図4-6 (a) は、3 つの異なる製造ロットからの 3 種の代表的な EPC2218 デバイス [64] (定格  $V_{DS,Max}$  は 100 V) について、データシートの最大定格よりも 20% 高い 120 V のピーク過電圧テストで、その場で測定した  $R_{DS(on)}$  です。3 種のデバイスはすべて、約 15 億サイクルまでテストされ、 $R_{DS(on)}$  のシフトは最小限に抑えられました。3 種の DUT すべてのパッケージ温度は、アクティブ温度制御システムによって、実験全体を通じて 75°C に維持しました。接合部

からパッケージへの熱抵抗が 0.5°C/W と小さく [64]、UIS テスト中の消費電力が非常に小さい (0.3 W 以下) ため、DUT の接合部温度はパッケージ温度と実質的に同じです。図4-6 (a) のように、すべての場合において、その場で測定した  $R_{DS(on)}$  は、温度係数 (25°C から 75°C で 1.35 倍) でスケリングしたデータシートの制限値をはるかに下回っています [64]。加えて、各デバイスの測定したデータ点は、横軸の log-t スケールで、それぞれの線形トレンド・ラインに沿っており、セクション 3.2 で説明した寿命モデルを検証しています。図4-6 (b) は、パワー・クワッド・フラット・ノーリード (PQFN) のパッケージのもう 1 つの代表的な 100 V 定格の GaN トランジスタ (EPC2302) [81] の 120 V の過電圧テストの結果を示しています。DUT は、周囲温度 (25°C) で約 100 億サイクルまでテストしましたが、 $R_{DS(on)}$  シフトはほとんど見られませんでした。100 億のデータ点と寿命モデル (青色の適合線) との良好な一致も見られ、寿命モデルの妥当性と汎用性が証明されました。図4-6 に示す結果は、 $V_{DS,Max}$  の 120% 以下での GaN HEMT の優れた過電圧耐久性を示しています。

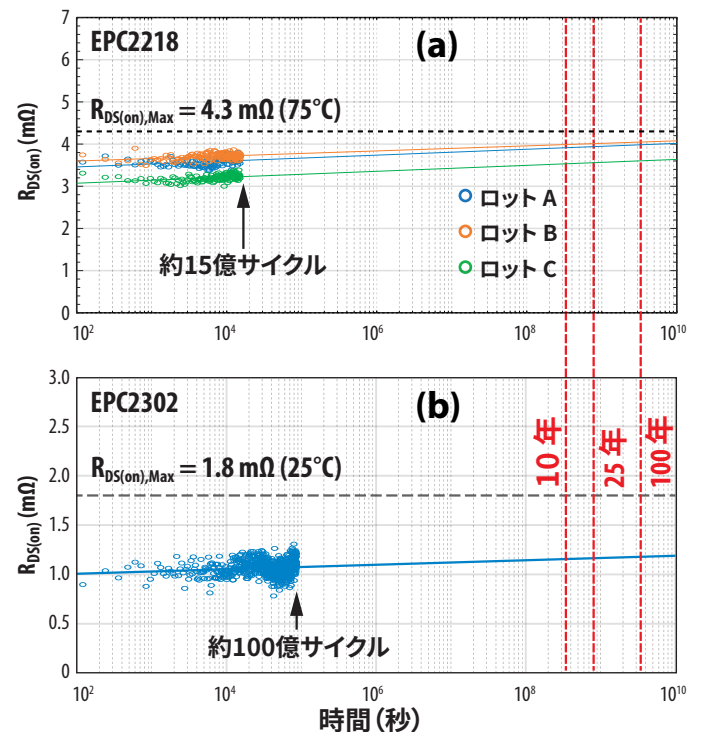


図4-6: (a) 120 V の過電圧スパイクの 15 億サイクルのクランプしていない誘導スイッチング UIS でテストした EPC2218 の 3 つの異なるロットの  $R_{DS(on)}$  をその場で測定した値。(b) 代表的な EPC2302 (QFN の GaN HEMT) の 100 億サイクルの 120 V の過電圧スパイクに対する  $R_{DS(on)}$  をその場で測定した値。

一般的なオフ時の電圧波形では通常、バス電圧で安定する前に複数の過電圧振動が発生します。ただし、最初のスパイクの電圧は通常、最も高くなります。第一原理モデリングでは、最初の過電圧パルスが最も多くの電荷をトラップし、それが各スイッチング周期における動的  $R_{DS(on)}$  シフトを支配すると推定されています [1, 5, 9]。したがって、UIS からの単一の過電圧パルスのストレスから生じる動的  $R_{DS(on)}$  の影響は、スイッチング周期中のリングング部分全体を表しています。

図4-4 (c) は、電圧波形の平衡部分を、どのように適合させるかを示しています。図4-7 (a) では、ハードスイッチング中のホット・エレクトロンのトラップを伴う摩耗メカニズムを調査するために開発したその場での  $R_{DS(on)}$  のモニタリングを備えた抵抗性ハードスイッチング回路構成です。図4-7 (b) は、測定したドレイン電圧が、ゼロからバス電圧 (80 V) まで上昇すると同時に、ドレイン電流 (図に示していない) が負荷電流 (数アンペア) から実質的にゼロ (漏れ電流) まで低下することを示しています。このハードスイッチ構成は、利用可能な電子数が小さい漏れ電流によって制限される一般的な高逆バイアス (HTRB) の信頼性テスト構成よりも桁違いに多くのホット・エレクトロンを提供します。抵抗性負荷スイッチング回路も15%のデューティ比で100 kHzで動作し、その間にDUTがオンになり、 $R_{DS(on)}$  をその場で測定します。これは、DUTが85%の時間オフになることも意味し、これはスイッチング周期当たり8.5  $\mu$ sに相当します。図4-7 (b) は、図4-4 (c) に示す畳み込みを解いた電圧波形と一致する結果として得られるハードスイッチのオフ時の電圧波形を示しています。

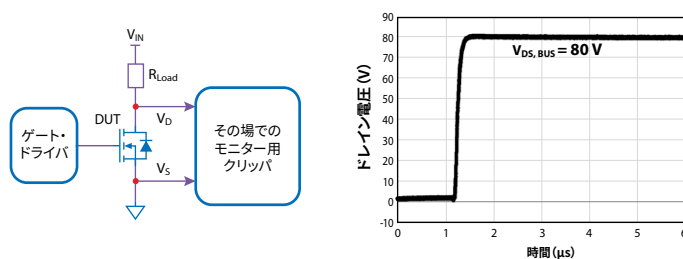


図4-7: (a) その場での  $R_{DS(on)}$  モニタリングに使われるクリップ回路を備えた抵抗性負荷のハードスイッチング・テスト・システムの回路図。(b) 抵抗性負荷ハードスイッチング回路によって生成される80 Vのバス電圧に対するオフ時のドレイン電圧波形。

図4-8 は、80 V、100 kHz のテスト条件下でのEPC2218とEPC2302の代表的な1つのテスト結果です。 $R_{DS(on)}$  のドリフトの変化をよりよく表示するために、その場で測定したすべての  $R_{DS(on)}$  は、最初の測定データ点に正規化され、図4-8にプロットしました。図4-8の縦軸は正規化した  $R_{DS(on)}$  です。UISの結果と同様に、寿命モデルも、抵抗性負荷ハードスイッチング・テスト回路によって収集されたデータ点によく適合しており、寿命モデルの適用性がさらに検証されています。このモデルは、図4-8に示すように、100 kHzおよび80  $V_{DS, Bus}$  での100年以上の連続スイッチングで  $R_{DS(on)}$  の増加が10%以下であると予測されており、公称バス電圧のハードスイッチング・ストレス条件下でのGaN HEMTの耐久性が優れていることを示しています。

以前の調査では、セクション3.2で説明した平均自由行程の負の温度依存性のため、このホット・エレクトロンのトラップによって誘発される  $R_{DS(on)}$  シフトは、負の温度係数を持つことが、はっきりと実証されています。

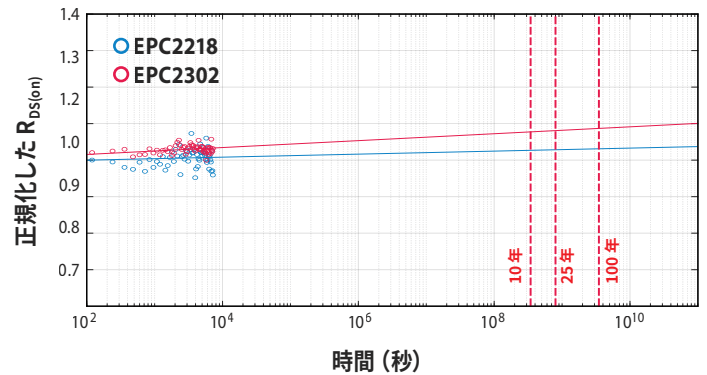


図4-8: 80 V、100 kHzの抵抗性負荷ハードスイッチング・テスト条件下で、1個のEPC2218と1個のEPC2302をその場で測定した  $R_{DS(on)}$ 。いずれのデバイスも、25年間の連続動作で  $R_{DS(on)}$  の変化が10%以下です。

この情報を使って、2つの異なるテスト構成からの信頼性の結果を、実際のDC-DCコンバータを代表する1つの結果に組み合わせるにはどうすればよいでしょうか？

2つの異なるテスト構成が、バック・コンバータからの一般的なオフ時の電圧波形の異なる領域に対応するため、各個別のストレス源の信頼性への影響は、式4-4に示すように組み合わせることができ、より厳しいドレイン・バイアスのストレス源が全体の寿命を左右することが分かります。

$$\frac{1}{MTTF_{Total\_Drain}} = \frac{1}{MTTF_{Overvoltage}} + \frac{1}{MTTF_{Bus\ Voltage}} \quad \text{式4-4}$$

これまで、一般的なDC-DCコンバータ用途では、図4-6と4-8で使われている寿命予測目標として、25年間の連続動作が使われていました。ただし、25年経過時の予測した  $R_{DS(on)}$  値は、どちらの場合もデータシートの最大限度よりも大幅に低くなっています。

図4-9は、UIS (120 Vの  $V_{DS, Peak}$ ) および抵抗性負荷ハードスイッチング (80  $V_{DS, Bus}$ ) でのEPC2218の予測した故障時間は、それぞれ  $8 \times 10^{10}$  秒と  $4 \times 10^{15}$  秒であることを示しています。故障時間の結果を式4-4に代入すると、全寿命は過電圧の寄与によって支配されます。これは、過電圧の寄与が抵抗性負荷スイッチング・テスト結果よりも桁違いに小さいためです。全寿命は、100 kHzのテスト・データに基づいて約2570年と計算できます。設計者が予測結果を実際の動作周波数にスケールアップする必要がある場合は、前述のように単純な周波数比を適用して寿命を調整できます。この場合、1 MHzの動作周波数では、同等の寿命は257年になります。

予測される全寿命の結果は、オーバーシュートが激しいバック・コンバータによって引き起こされる極端なドレイン・バイアス条件下でも、GaN HEMTが優れた耐久性であることを示しています。要約すると、一般的なDC-DCコンバータで使われるEPCのGaN HEMTにとって、動的オン抵抗の摩耗メカニズムは重大な懸念事項ではありません。

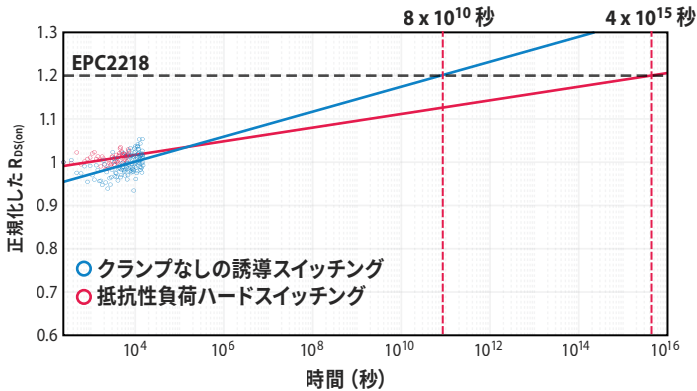


図4-9: 2個のEPC2218デバイスの正規化した $R_{DS(on)}$ は、最初の読み取り点と比べて $R_{DS(on)}$ が20%シフトする時間を予測しました。1個のEPC2218デバイスは、UISテスト回路でテストしました。もう1つは抵抗性負荷ハード・スイッチング回路でテストしました。

#### 4.2.5. 温度サイクル

温度サイクルは、DC-DCコンバータ用途にとってもう1つの重要な関心領域です。

この分析は、セクション3.4.4で紹介した基板レベルの熱機械信頼性調査に基づいており、適切なアンダーフィル材を使うと、CSP封止GaNデバイスの温度サイクル寿命が少なくとも4.8倍向上することが示されています。以下の説明では、アンダーフィルのデータを含むTC1のみが使われます。

この分析の上限については、 $T_{Max}$ は、パワー・モジュールの一般的な最大設計温度の125°Cと仮定しています。アンダーフィル付きEPC2218Aの100 ppm、または0.01%の故障率での故障するまでのサイクル数(N)は、式3-19(セクション3.4.4)を使って、 $\Delta T$ の関数としてプロットできます。ここで、アレニウス項は定数係数です。この結果は、図4-10の黒色の線で示されています。実際のアプリケーションでは、パワー・モジュールは、動作していないときに通常、25°Cの周囲温度に保たれ、最大 $\Delta T$ は100°Cになるため、水平軸( $\Delta T$ )には0~100°Cの範囲しか含まれません。

通常動作時の $T_{Max}$ が100°Cと低く設計されているDC-DCコンバータの中には、指数方程式の分母( $T_{Max}$ )が小さくなるため、アレニウス項が若干大きくなるはずですが、図4-10の赤色の線は、ワイブル分布から抽出した100 ppmで故障するまでのサイクル数を $\Delta T$ の関数として示しており、赤色の曲線は、黒色の曲線( $T_{Max} = 125^\circ\text{C}$ )よりもわずかに上にあります。 $T_{Max}$ が25°C低い場合、赤色の曲線は今、水平 $\Delta T$ 軸上で0°Cから75°Cまでプロットできるようになりました。

$T_{Max}$ が75°C向けに設計された一部のアプリケーションでは、このモデルは、青色でプロットされ、より大きなアレニウス項によって長い寿命が期待できます。図4-10には、黄色の線で示されているように、 $T_{Max}$ が50°Cのときも含まれています。

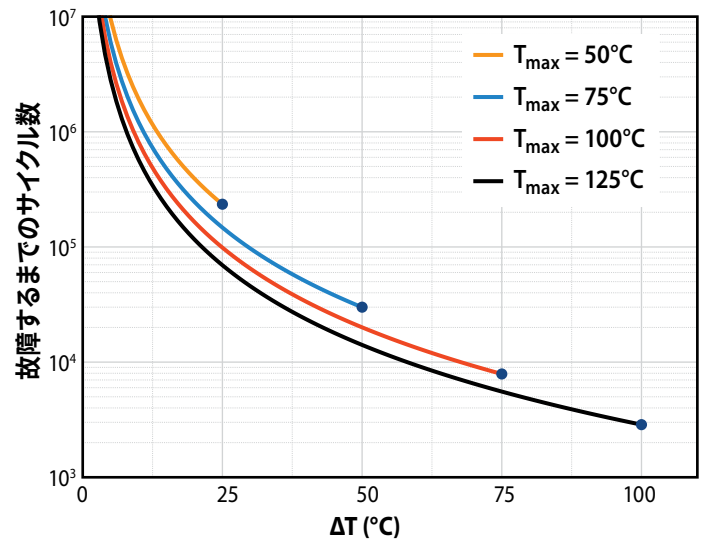


図4-10: 100 ppm、または0.01%の故障率で、故障するまでのサイクル数と、 $T_{Max}$ が50°C(黄色)、75°C(青色)、100°C(赤色)、125°C(黒色)での $\Delta T$ との関係

設計者は図4-10を使って、DC-DCコンバータ設計のTC寿命をどのように決定できますか？

例として、米国アリゾナ州フェニックスの砂漠気候で動作するコンバータを考えてみましょう。夏の外気温は50°C(122°F)にも達することがあります。この仮想のコンバータは、動作中にさらに75°Cの熱を発生し、 $T_{Max}$ は125°Cになります。図4-10の黒色の曲線をたどり、水平軸の $\Delta T$ が75°Cである垂直軸をたどると、100 ppmの故障率までのサイクル数は5000サイクル強と推定され、気温が比較的穏やかな季節も考慮すると、期待を込めて数10年の動作に相当すると考えられます。このアプローチは、実験室で生成したTC信頼性の結果を実際のアプリケーションと関連させる実用的な方法を提供します。

#### 4.2.6. 結論

DC-DCコンバータが受ける一般的なストレスを検討した後、故障するまでのテストのアプローチを採用して、GaN HEMTの本質的な摩耗メカニズムを調査するために適用しました。デバイス故障の原因となる可能性が最も高い3つのストレス要因として、ゲート・バイアス、ドレイン・バイアス、温度サイクルが特定されました。最大定格電圧( $V_{GS} = 6\text{V}$ )で25年間の連続直流ゲート・バイアスを加えた後、故障率1 ppmが予測されました。測定したデータと寿命モデルでは、部品の寿命全体にわたって $R_{DS(on)}$ シフトが20%以下になると予測されています。温度サイクル(TC)故障の原因となる摩耗メカニズムは、はんだ接合部の亀裂です。TC範囲、極端な温度、サイクル速度などの3番目の寿命モデルを導入しました。3つのストレス要因すべての摩耗率を組み合わせると、ゲート・バイアスもドレイン・バイアスもDC-DCコンバータ用途における信頼性に重大な問題ではないことが分かります。TCによる熱機械的ストレスは、最もリスクが高いと考えられており、慎重に検討する必要があります。適切なアンダーフィル材を使うことで、優れた寿命を実現すると同時に、TCの信頼性リスクを大幅に低減できます。

### 4.3. Lidar用途の信頼性

#### 4.3.1. Lidarの信頼性の概要

他のアプリケーションと比較すると、Lidar（光による検出と距離の測定）に使われる GaN FET は、逆バイアスの持続時間が長く、比較的高い電流の短いパルスに曝されることがよくあります。このセクションでは、Lidar 用途で使われるデバイス、すなわちディスクリート FET と低電圧ドライバ回路を搭載した Lidar 用 GaNIC の両方の信頼性を評価します。

#### 4.3.2. 大電流パルス下での長期安定性

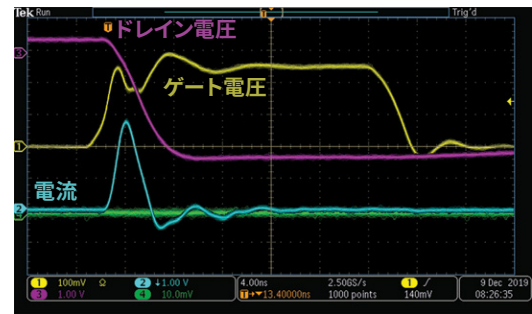
このテスト方法の概念は、実際の Lidar 回路の部品に、最終的なミッション・プロファイルをはるかに超える総パルス数でストレスを与えることです。自動車用 Lidar のミッション・プロファイルは、ユーザーによって異なります。一般的な自動車の規定では、100 kHz のパルス繰り返し周波数 (PRF) で 1 日 2 時間の動作で 15 年の寿命が求められます。これは、合計で約 4 兆の Lidar パルスに相当します。最悪の場合（頻繁に使用）のシナリオでは、サービス寿命中に 10 兆～12 兆のパルスが必要になる場合があります。

このテスト方法は、システム性能とデバイス特性の安定性を検証しながら、ミッション・プロファイルの全体をはるかに超えてデバイスの集団をテストすることで、Lidar 用途に対する eGaN デバイスの適合性を直接的に確立します。多数のパルスを実現するために、一般的な Lidar 回路で使われるバーストではなく、部品に継続的にストレスをかけます。

この調査では、2つの一般的な AEC 品質の部品、すなわち、EPC2202 (80 V) [71] と EPC2212 (100 V) [72] をテストしました。各タイプの4個の部品を同時にテストしました。ストレス中、すべてのデバイスで2つの重要なパラメータ、(1) ピーク・パルス電流と (2) パルス幅を継続的にモニターしました。これらのパラメータは、Lidar システムの範囲と解像度に非常に重要です。

図4-11と4-12は、最初の13兆パルスにわたるこのテストの結果を示しています。累積パルス数は、一般的な自動車の寿命をはるかに超えており、最悪の使用条件をカバーしています。パルスの幅と高さのどちらにも劣化やドリフトは見られないことに注目してください。これは GaN デバイスの健全性の間接的なモニターですが、Lidar の性能に悪影響を与える劣化メカニズムが発生していないことを示しています。

これらの結果は、Lidar 用途における GaN FET の優れた安定性を実証しています。



AEC-Q101シリーズのディスクリートFET

- 8 サンプル (7000 時間以上)
- 故障なし、完璧なパルス安定性

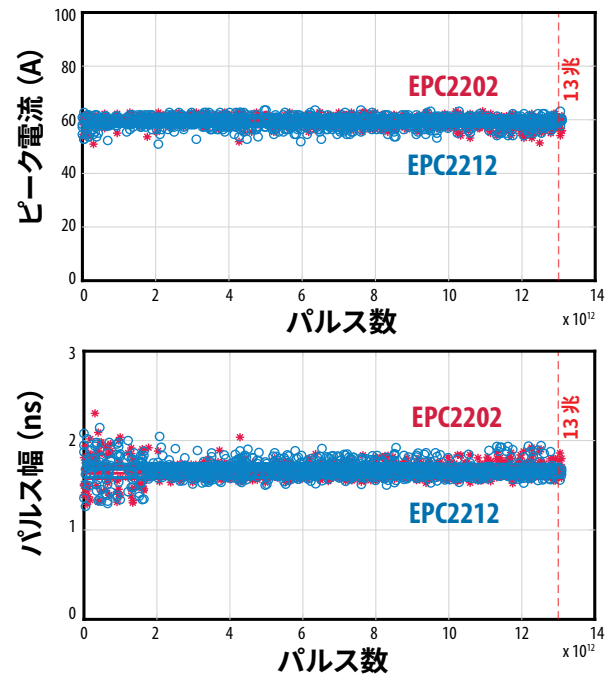


図4-11: 13兆のLidarパルスに対するパルス幅(下)とパルスの高さ(中央)の長期安定性。4個のEPC2202(赤色)デバイスと4個のEPC2212(青色)デバイスのデータを重ねてプロットしています。

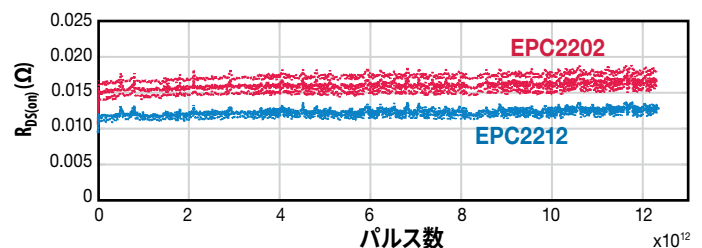


図4-12: Lidar信頼性テスト中の $R_{DS(on)}$ の長期安定性。これらのパラメータは、Lidar ストレスを短時間中断して、すべての部品に対して6時間間隔で測定します。4個のEPC2202(赤色)デバイスと4個のEPC2212(青色)デバイスのデータを重ねてプロットしています。

### 4.3.3. モノリシック GaN オン・シリコンのレーザー・ドライバ IC

Lidarシステムでは、GaNの小さな実装面積と優れたスイッチング特性という利点のため、ゲート・ドライバ・チップとは別に、しばしばディスクリートのeGaNトランジスタを使っていました。EPCは最近、図4-13に示すように、高速GaNドライバとディスクリートGaNトランジスタを集積したGaNのレーザー駆動用IC製品のファミリーを発表しました。この集積したモノリシックLidarソリューションは、既存のディスクリート・ソリューションよりも、さらに高性能化、小型化、低コスト化を実現します。この結果、これらのICは、ロボット、監視システム、ドローン、自動運転車、掃除機など、より幅広いLidar応用を可能にします。

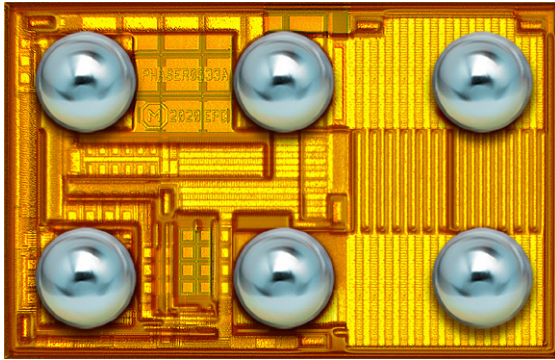


図4-13: eToF™集積回路のEPC21601には、ドライバとパワーFETが含まれています。

集積したGaNのレーザー駆動IC製品の最初の2つの製品（EPC21601 [74]とEPC21701 [75]）が生産中です。表4-1に、最初の2つの品質認定IC製品の主な仕様をまとめました。

型番	チップ面積 (mm x mm)	主な仕様
EPC21601	S (1.5 X 1)	40 V、15 A、3.3 V論理、eToFレーザー・ドライバ IC
EPC21701	S (1.7 X 1)	80 V、15 A、3.3 V論理、eToFレーザー・ドライバ IC

表4-1: EPCのレーザー・ドライバICの初期の製品ファミリー

### 4.3.4. Lidar用途向けeToFレーザー・ドライバICの主なストレス要因

ゲート・ドライバとパワー・トランジスタをチップスケール・パッケージに統合すると、寄生インダクタンスが大幅に減少し、速度、最小パルス幅、電力消費がさらに改善されます。加えて、ICの電圧と電流の多くに直接アクセスできないため、主な電気的ストレス要因を分離しにくいという課題も生じます。この調査の最初のステップは、Lidar用途でICに影響を与える主なストレス要因を特定することです。

EPC21601とEPC21701はどちらも、それぞれ面積1.5×1.0 mmと1.7×1.0 mmのチップスケールBGAの形態で販売されています。

レーザー・ドライバICのパッケージ技術は、EPCのディスクリート・パワー・トランジスタに長年使われてきたため、IC製品のパッケージ関連の信頼性は、以前のフェーズの信頼性テスト・レポートや関連出版物でカバーされていました [5,9,15,69-73]。

図4-14に示すLidar ICの動作条件は、高温動作寿命 (HTOL) テストによって、最もよくエミュレートされます。この故障するまでのテスト調査に対するテスト対象として、EPC21601を選択しました。

3つの主なストレス要因が特定されています：

- ・ レーザー・ドライバ回路の低電圧 (LV) GaN FETと、高電圧 (HV) GaN の出力 FET のゲートに、駆動電圧を供給する論理電源電圧  $V_{DD}$ 。
- ・ 主に HV 出力 FET のドレイン端子に印加するレーザー駆動電圧  $V_D$ 。
- ・ LV レーザー・ドライバ回路と HV 出力 FET の両方にストレスを与える動作周波数。

### 4.3.5. 論理電源電圧 $V_{DD}$ の影響

EPC21601 が動作して短いパルスのバーストを生成すると、レーザー・ドライバ回路の LV GaN FET のゲート端子と、HV GaN パワー・トランジスタのゲートに論理電源電圧 ( $V_{DD}$ ) が印加されます。これは、バースト周波数 1 kHz、非常に小さいデューティ比 (約 0.02%)、および高い動作周波数 (30 MHz) で、すべての GaN FET の動的ゲート・テストを実施することと同じです。パルスが印加されていない場合、部品はオフ状態になり、ゲート・バイアスは、ほぼゼロになります (図4-15参照)。

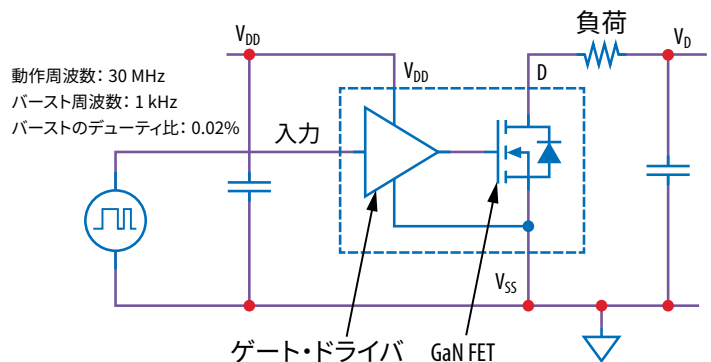


図4-14: EPC21601とEPC21701のレーザー駆動集積回路のブロック図

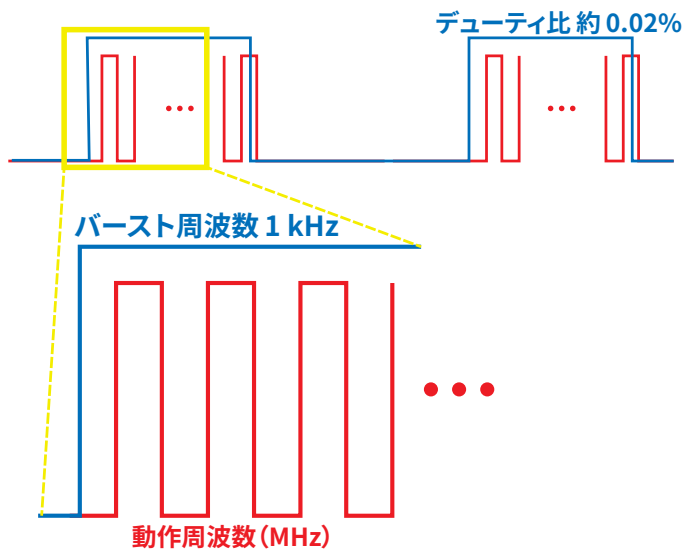


図4-15: バースト周波数 (青色) 1 kHz、デューティ比が約0.02%、動作周波数 (MHz) の動作条件の図

品質認定 HTOL テストでは、 $V_{DD}$  は絶対最大定格の 5.5 V にバイアスされ、125°C の接合部温度で 1000 時間のテスト後も問題は見つかりませんでした。デバイスの耐久性をテストするために、 $V_{DD}$  電圧は絶対最大定格の 125% を超える 7 V の高い値に増やしました。このストレス条件は、ユーザーによる通常動作中に、 $V_{DD}$  ピンで発生する最悪の過電圧リンギングの問題に対処します。表 4-2 は、16 個のデバイスを 7 V の  $V_{DD}$  および 125°C の接合部温度で最大 1049 時間テストした結果をまとめたものです。故障は発生しませんでした。これは、レーザー・ドライバ IC 製品に十分なマージンがあることを示しています。

ストレス・テスト	型番	テスト条件	故障の数	サンプル数	持続時間 (時間)
HTOL	EPC21601	$V_{DD} = 7V, T_J = 125^\circ C,$ $V_{D\_DC} = 30V, R_{LOAD} = 2\Omega$ $V_{IN} = 3.3V_{p-p}$ バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	0	16	1049

表4-2:  $V_{DD} = 7V, T_J = 125^\circ C$  での EPC21601 の HTOL テスト結果

ストレス・テスト	型番	テスト条件	故障の数	サンプル数	持続時間 (時間)
HTOL	EPC21601	$V_{DD} = 8.5V, T_J = 25^\circ C,$ $V_{D\_DC} = 30V, R_{LOAD} = 2\Omega$ $V_{IN} = 3.3V_{p-p}$ バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	3	16	1049
HTOL	EPC21601	$V_{DD} = 9.5V, T_J = 25^\circ C,$ $V_{D\_DC} = 30V, R_{LOAD} = 2\Omega$ $V_{IN} = 3.3V_{p-p}$ バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	15	16	305

表4-3:  $V_{DD} = 8.5V$  および  $V_{DD} = 9.5V, T_J = 25^\circ C$  での EPC21601 の HTOL テスト結果

故障がゼロだったため、この結果では、この製品にどの程度のマージンが設計されていたかを判断することはできず、 $V_{DD}$  のストレス要因の特定のミッション・プロファイルでの寿命を正確に予測することもできません。したがって、デバイスを故障するまでテストするには、より厳しいストレス条件を適用しなければなりません。この目的は、部品を素早く故障させ、故障解析を実施して、根本的な故障モードとメカニズムを理解することです。

$V_{DD}$  ストレスの電圧加速を決定するために、表 4-3 のように、25°C で 8.5 V から 9.5 V までの一連のテストを実施しました。8.5 V の  $V_{DD}$  では、1000 時間を超えるテスト後に合計 3 つの故障が見つかりました。一方、9.5 V では、ほぼすべての部品が 305 時間以内に故障し、大幅な電圧加速が示されました。

$V_{DD}$  を 8.5 V に固定した状態で、25°C および 125°C で HTOL テストを実施し、温度加速についても調査しました。この結果を表 4-4 にまとめており、顕著な温度加速が示されています。

故障解析の結果、すべての故障はソフト・パラメータ故障であり、静止電流がデータシートの最大制限の 20 mA を超え、 $V_{DD} = 5V$  で測定がオフ状態で行われました [74]。詳しく調べたところ、静止電流がデータシートの制限を超えたのは、 $V_D = 20V$  が供給されたときのみでした。静止電流のソフト故障が 15 V の  $V_D$  で Lidar 動作に曝されたとき、パルスの完全性は損なわれませんでした。図 4-16 は、 $V_{IN}$  (EPC21601 への論理入力) の入力信号 (青色) と、静止電流故障の  $V_D$  からの対応する出力信号 (緑色と黄色) の波形を示しています。パルスの歪みやパルスの欠落は観測されませんでした。これは、デバイスが極めて高い  $V_{DD}$  ストレスによって損傷を受けた場合でも、デバイスは依然として機能しており、電流パルスの再現性に悪影響がなかったことを示しています。

ストレス・テスト	型番	テスト条件	故障の数	サンプル数	持続時間(時間)
HTOL	EPC21601	$V_{DD} = 8.5\text{ V}$ , $T_J = 25^\circ\text{C}$ , $V_{D\_DC} = 30\text{ V}$ , $R_{LOAD} = 2\ \Omega$ $V_{IN} = 3.3\text{ V}_{p-p}$ バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	3	16	1049
HTOL	EPC21601	$V_{DD} = 8.5\text{ V}$ , $T_J = 125^\circ\text{C}$ , $V_{D\_DC} = 30\text{ V}$ , $R_{LOAD} = 2\ \Omega$ $V_{IN} = 3.3\text{ V}_{p-p}$ バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	16	16	718

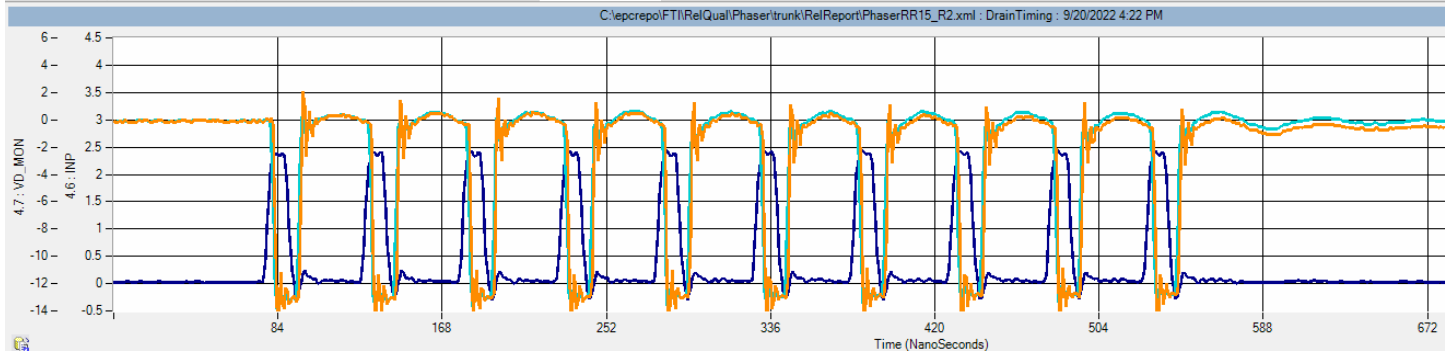
表4-4:  $T_J = 25^\circ\text{C}$ および $T_J = 25^\circ\text{C}$ ,  $V_{DD} = 8.5\text{ V}$ でのEPC21601のHTOLテスト結果

図4-16: 入力波形 (青色) と静止電流故障の対応する出力波形 (緑色と黄色)

異なる電圧と温度で発生したすべての故障は、同様の「ソフト」な電氣的故障を示したため、根本的な原因を特定するために物理的な故障解析を実施しました。ドライバ回路のLV GaN FETのゲート破壊は、ストレスの電圧と温度に関係なく、すべての故障に対して単一の故障メカニズムであることが分かりました。パルス生成時に、LVとHVのGaN FETのゲートに $V_{DD}$ 電圧が印加されるため、この結果は回路解析に基づいて予測されています。

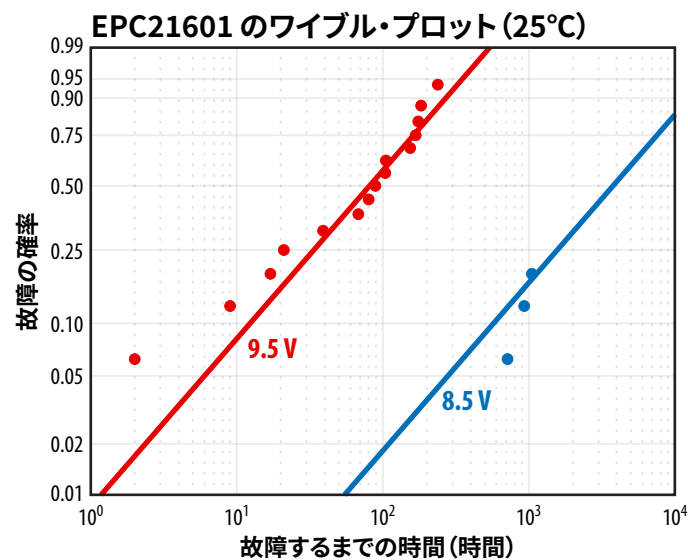
図4-17:  $V_{DD}$  がそれぞれ 8.5 V (青色) および 9.5 V (赤色) で、 $T_J = 25^\circ\text{C}$  の場合の EPC21601 の故障を示すワイブル・プロット。

図4-17は、室温での2つの異なる $V_{DD}$ 電圧の故障するまでの時間データです。このデータは、最大尤度推定 (MLE) と、各電圧レグの2パラメータのワイブル分布を使って分析しました。この適合はグラフの実線で示しています。ワイブル形状 (または傾き) パラメータは、故障解析によって単一の故障モードが見つかったため、すべての電圧レグで同じになるように制限しました。

9.5 Vの $V_{DD}$ レグの計算した平均故障時間 (MTTF) は約 117 時間で、 $4.2 \times 10^5$  秒に相当します。フェーズ 14 の信頼性レポート [5] の図 1 と図 2 では、 $25^\circ\text{C}$  での EPC2212 の 9.5 V の  $V_{GS}$  の直流テストの MTTF は約 150 秒で、HTOL テストで使われた 0.02% のバースト・デューティ比でスケールすると  $7.5 \times 10^5$  秒になります。EPC21601 と EPC2212 は同じゲート構造であり、同一のゲート製造プロセスを使っています。これは、EPC2212 の静的直流  $V_{GS}$  テストと、加速した動的ゲート・テストで測定した EPC21601 の MTTF が一致していることを示しています。テストの構成と実装の違いによって、2つの MTTF 値が完全に一致しないのは当然です。例えば、すべての LV FET のゲートは、非常に短いパルス中に同じ  $V_{DD}$  ピンを介して同時にストレスを受け、ゲートに若干のリングングが発生することが予想されます。これによって、EPC2212 の直流加速ゲート・テスト結果と比較して、EPC21601 の MTTF がわずかに悪くなることを説明できます。

EPC21601 と EPC2212 の MTTF 結果が一致していることも、ゲート信頼性のために EPC が開発した物理ベース・モデルの妥当性を裏付けています。同じ寿命モデルが、両方のバイアスでの  $V_{DD}$  に対する測定データに適合しています。

図4-18は、25°CでのEPC21601の測定した加速データに対する寿命予測です。適合によって、25°Cで最大 $V_{DD}$ 電圧定格5.5Vで1ppm以下の故障率で25年を超える寿命が予測されました。この結果は、静的直流ゲート・バイアス下で5.5Vでのゲートの外挿寿命ともよく一致しています。

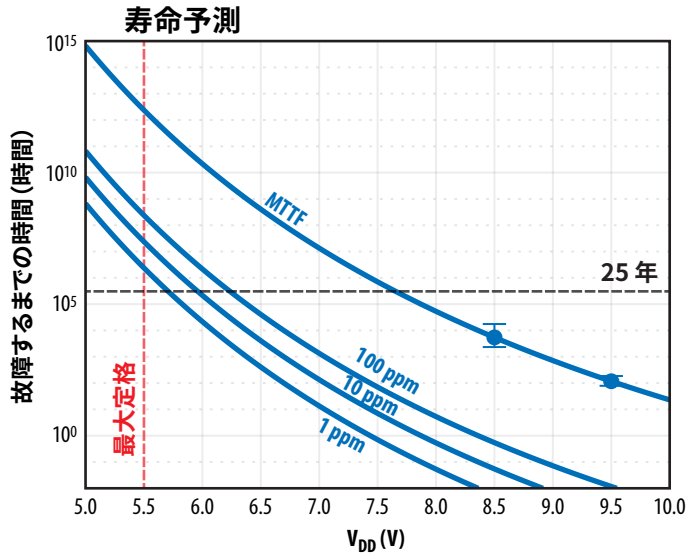


図4-18: 2つの異なる電圧でのEPC21601のMTTFデータとエラー・バーを、25°Cでの $V_{DD}$ に対してプロットしています。実線は、衝突電離寿命モデルに対応しています。100 ppm、10 ppm、1 ppmでの故障するまでの時間の外挿も示しています。

図4-19に、 $V_{DD}$ を8.5Vに固定した場合の故障するまでの時間のデータの温度加速を示します(25°Cと125°C)。故障解析によって単一の故障モードが特定されたため、ワイブル形状(または傾き)パラメータは、両方の温度で同じになるように制限しました。各デバイスの故障するまでの時間は、部品をオープン(125°Cのとき)およびマザー・ボードから取り外した後、完全なATE事後スクリーニングを実施して記録しました。「ソフト」静止電流故障のみが見つかり、表4-4にまとめました。

図4-20は、 $V_{DD} = 8.5V$ で25°Cと125°CでのMTTFデータのアレニウス・プロットです。ここで、アレニウスの式[92-94]を使って計算した活性化エネルギーは0.35 eVでした。この結果は、弱い負の温度加速を示したディスクリートGaN製品の静的HTGBテストを実施したときに観測された結果とは異なります。初期の故障解析では、25°Cと125°Cのテスト温度に関係なく、すべてのソフト静止電流故障の根本的な故障モードとして、同一のゲート破壊が示されました。

温度加速の原因となる故障メカニズムについてはさらに調査が必要ですが、 $V_{DD}$ ストレス源の下でのレーザー・ドライバICは非常に丈夫であることが証明されています。

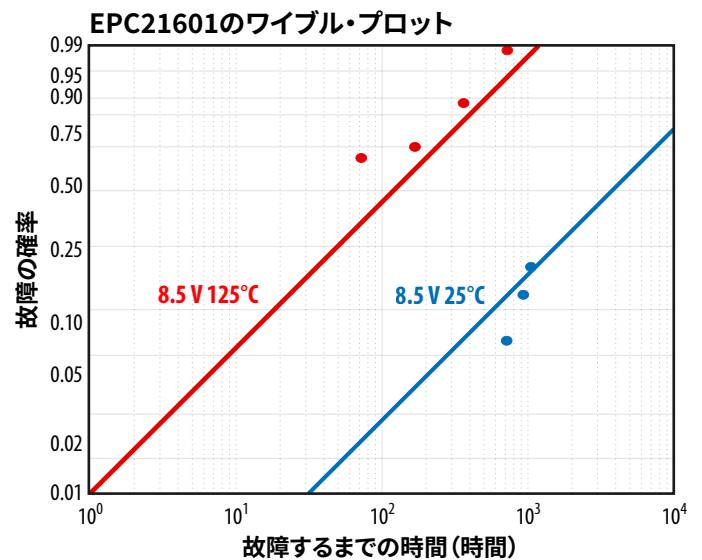


図4-19: 接合部温度25°C(青色)と125°C(赤色)、 $V_{DD} = 8.5V$ でのEPC21601の故障を示すワイブル・プロット。

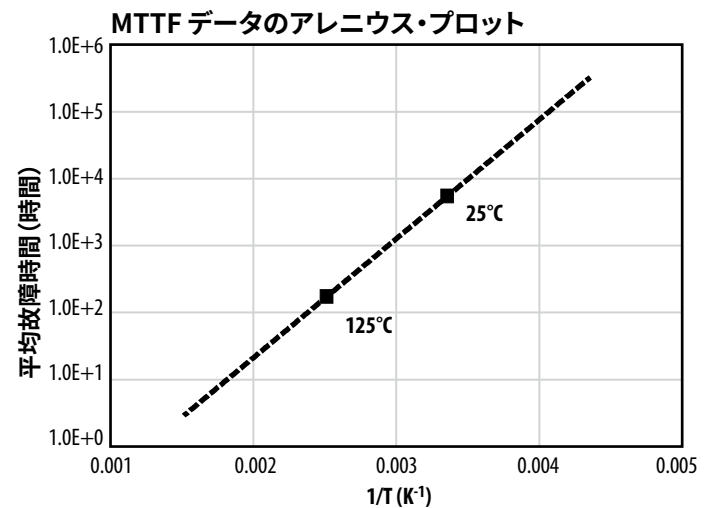


図4-20: 2つの異なる温度でのEPC21601のMTTFデータを、 $V_{DD}$ が8.5Vのときの $T^{-1}$  ( $K^{-1}$ )に対してプロットしています。実線はアレニウスの式に対応し、活性化エネルギーは0.35 eVでした。

#### 4.3.6. レーザー駆動電圧 $V_D$ の影響

$V_D$ ピンに接続した回路を詳細に調べると、加速した $V_D$ のHTOLによって、EPC21601に2つの潜在的な故障モードが発生する可能性があります。

1.  $V_D$ は主に、HV GaN FETのドレイン端子に加えられます。Lidar動作の性質上、HV出力FETは、ほとんどの時間、逆ドレイン・バイアス下にあります。レーザー・パルスが生成されると、HV FETがオンになり、電流が流れます。このため、ICの加速 $V_D$ のHTOLテストは、大きなデューティ比の出力FETの動的HTRBテストに似ています。したがって、ディスクリートGaNトランジスタの加速ドレイン・バイアス・テストによる固有の故障モードが適用されます。

2.  $V_D$ ピンは、HV FETのドレイン・ノードに接続するほかに、単一のレーザー・ドライバ回路にも接続され、デバイスによって生成されるパルスの数に影響を及ぼします。この経路が加速 $V_D$ のストレスによって損なわれると、パルスの欠落につながる可能性があり、これは、Lidar用途にとって、もう1つの重大な故障モードです。

HTOL 品質認定テストは、データシート[74]で指定されている最大推奨電圧である30 Vの $V_D$ で実施しました。加速 $V_D$ のHTOLテストのマトリックスは、表4-5にまとめられたように実施しました。60 Vの $V_D$ を選択した理由は、最大推奨電圧定格の2倍であり、非常に加速した条件であるためです。ただし、この電圧は、HV出力FETの他の既知の本質的な故障モードを引き起こすほど高くしてはなりません。60 Vは、ドライバ設計に対して厳しい故障テスト条件です。

表4-5は、1000時間を超えるテスト後も故障が見つからなかったことを示しています。すべての部品は、HTOLテストを受けた後もデータシートの仕様を満たし続けました。

ストレス・テスト	型番	テスト条件	故障の数	サンプル数	持続時間(時間)
HTOL	EPC21601	$V_{DD} = 5.5 \text{ V}$ , $T_J = 25^\circ\text{C}$ $V_{D\_DC} = 60 \text{ V}$ $V_{IN} = 3.3 \text{ V}_{P-P}$ , バースト周波数=1 kHz; 動作周波数=30 MHz	0	16	1005
HTOL	EPC21601	$V_{DD} = 5.5 \text{ V}$ , $T_J = 125^\circ\text{C}$ $V_{D\_DC} = 60 \text{ V}$ $V_{IN} = 3.3 \text{ V}_{P-P}$ , バースト周波数=1 kHz; 動作周波数=30 MHz	0	16	1005

表4-5:  $V_D = 60 \text{ V}$ ,  $T_J = 25^\circ\text{C}$ と $T_J = 125^\circ\text{C}$ でのEPC21601のHTOLテスト結果

デバイスが歪んだ波形やパルスの欠落を生成していないことをさらに検証するために、 $V_D = 60 \text{ V}$ ,  $T_J = 125^\circ\text{C}$ のレッグの部品を60 V,  $125^\circ\text{C}$ でテスト装置に再度取り付け、図4-21の入力と出力のパルス波形を調べました。この結果は、1000時間を超えるHTOLテストの後でもパルス波形の劣化が見られなかったことを示しています。短いパルスが原因で、HTOL中に各パルスの最後にHV出力トランジスタに25 Vを超えるオーバーシュートが生じたことも重要です。これは、デバイスが、最大推奨バイアスの2倍である60 Vの公称ストレスに加えて、 $V_D$ で繰り返し85 Vを超える過渡過電圧ストレス(絶対最大定格 = 40 Vの2倍以上)を受けたことを示しています。これは、 $V_D$ ストレス下でのデバイスの良好な耐久性も示しています。

この時点で、最も厳しいテストの端は、 $125^\circ\text{C}$ で60 V $_D$ レッグのテスト・マトリックスによってカバーされています。ドレイン・バイアスをさらに増やすと、HVGaNトランジスタに、Lidar用途やレーザー駆動ICの信頼性には当てはまらない異なる固有の故障メカニズムが発生する可能性があります。要するに、レーザー電源電圧( $V_D$ )に関連する故障モードは見つかりませんでした。

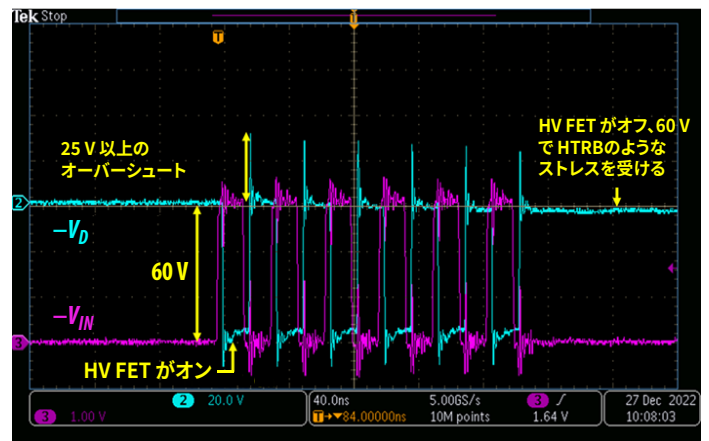


図4-21: 60 Vの $V_D$ 、 $125^\circ\text{C}$ で1005時間のHTOLテストを受けた後の代表的な合格部品の出力波形(青色)。紫色の波形は、 $V_{IN}$ からの対応する入力信号です。HTOLテスト中、各パルスの終了時に25 Vのオーバーシュートが見られたことにご注意ください。

#### 4.3.7. 動作周波数の影響

予備的なデバイス特性評価では、極めて高い動作周波数でテストすると、Lidar ICの出力波形が歪む可能性があることが示唆されました。したがって、HTOLテストのどの周波数、またはどの期間で、パルス波形に著しい歪みやパルスの欠落が現れ始めるかを調べることは有益です。

表4-6に示すように、2つの高い動作周波数でテストを実施しました。48 MHzと96 MHzは、品質認定で使われる最大推奨動作周波数30 MHzの160%と320%です。1400時間を超えるテスト後も故障は発生しませんでした。すべての部品は、HTOLテストを受けた後もデータシートの仕様を満たし続けました。

図4-22は、1413時間の48 MHzのHTOLテスト後の合格デバイスの代表的な入力(紫色)と出力(青色)の波形です。波形の歪みやパルスの欠落は見つかりませんでした。図4-23は、1413時間の96 MHzのHTOLテスト後の合格デバイスの代表的な入力(紫色)と出力(青色)の波形の別の組み合わせです。波形の歪みやパルスの欠落は見つかりませんでした。

ストレス・テスト	型番	テスト条件	故障の数	サンプル数	持続時間(時間)
HTOL	EPC21601	$V_{DD} = 5.5\text{ V}$ , $T_j = 25^\circ\text{C}$ , $V_{D\_DC} = 30\text{ V}$ , $R_{LOAD} = 2\ \Omega$ $V_{IN} = 3.3\text{ V}_{P-P}$ , バースト周波数=1 kHz; <b>動作周波数=48 MHz</b>	0	16	1005
HTOL	EPC21601	$V_{DD} = 5.5\text{ V}$ , $T_j = 25^\circ\text{C}$ , $V_{D\_DC} = 30\text{ V}$ , $R_{LOAD} = 2\ \Omega$ $V_{IN} = 3.3\text{ V}_{P-P}$ , バースト周波数=1 kHz; <b>動作周波数=96 MHz</b>	0	16	1005

表4-6:  $V_D = 30\text{ V}$ ,  $T_j = 25^\circ\text{C}$ で動作周波数48 MHzおよび96 MHzのEPC21601のHTOLテスト結果。

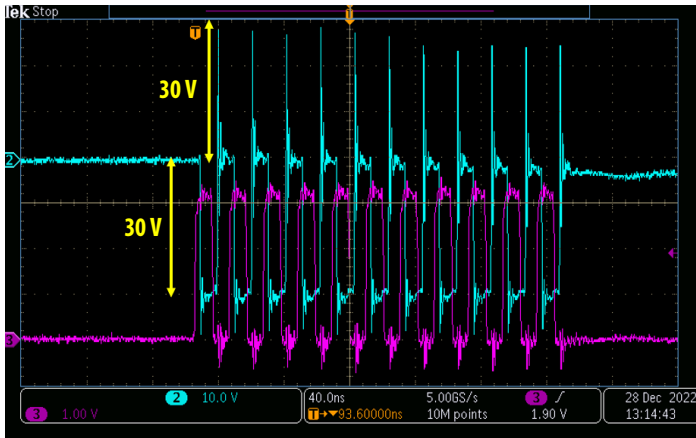


図4-22: 動作周波数48 MHzで1413時間のHTOLテストを実施した後の合格デバイスの代表的な入力(紫色)と出力(青色)の波形。HTOLテスト中、各パルスの最後に30 Vのオーバーシュートが見られることに注意してください。

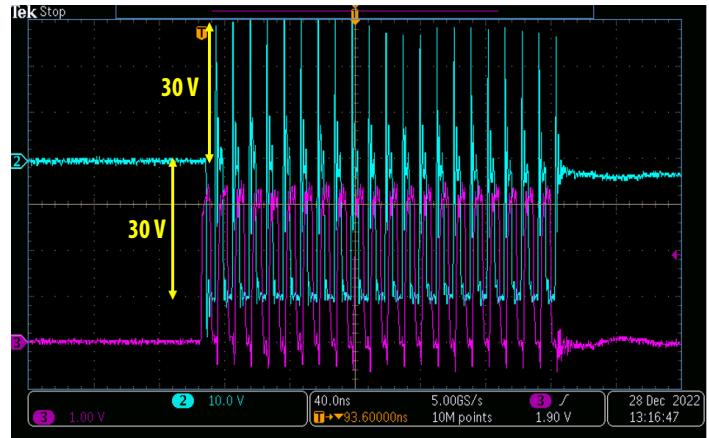


図4-23: 動作周波数96 MHzで、1413時間のHTOLテストを実施した後の合格デバイスの代表的な入力(紫色)と出力(青色)の波形。HTOLテスト中、各パルスの最後に30 Vのオーバーシュートが見られることに注意してください。

これまでのところ、最大約100 MHzの入力周波数で長期間HTOLテストを実施しても、Lidar ICのEPC21601の故障は発生しておらず、レーザー・ドライバIC製品の耐久性がさらに実証されています。

結論として、このセクションで検討したLidar ICに固有の3つのストレス要因(論理電源電圧 $V_{DD}$ 、レーザー駆動電圧 $V_D$ 、動作周波数)のうち、論理電源電圧のみがデバイス故障を引き起こすことが確認されました。データシートの制限内で動作するLidar ICは、信頼性の高い性能を発揮します。

## 5. 要約と結論

GaNデバイスの生産が増加し、アプリケーションが多様化するにつれて、使用する事例に応じて異なる信頼性の懸念が生じます。ミッション・プロファイルの各フェーズで、システムに影響を与える摩耗メカニズムを理解することで、特定のアプリケーションごとにGaNデバイスの寿命を分析的に計算できます。故障するまでのテストによって確認される各摩耗メカニズムの故障率は、このレポートで提供されるガイドラインに従うことで最小限に抑えることができます。

## 6. 付録

### PQFN封止のGANデバイスの信頼性の高いアセンブリのためのはんだステンシル設計のガイドライン

#### 1.はじめに

パワー・クワッド・フラット・ノーリード (PQFN) のパッケージは、パワー・エレクトロニクスでますます一般的になっています。PQFNパッケージのはんだスタンドオフの高さは、従来のボール・グリッド・アレイ (BGA) のパッケージよりも本質的に低くなっています。したがって、チップの傾きを最小限に抑えながら、一貫したはんだスタンドオフの高さを実現する第一原理のステンシル設計ルールを開発することが重要です。

IPC-7525A[76]は、PQFNデバイス用のこれらのステンシル設計ガイドラインを開発するために使われた主な文書です。この設計ルールに従って、多数のアセンブリ実験を実施し、次いで、断面解析を行い、結果として生じるスタンドオフの高さと部品の傾きを定量化しました。断面の結果は、すべてのアセンブリで、スタンドオフの高さの一貫した平面性を示し、ステンシル設計の有効性を検証しました。このような設計ルールによって、スタンドオフの高さを予測し、最適な温度サイクル寿命を提供できます。

#### 2. ステンシル設計の重要な要素

開口部の寸法とステンシルの厚さの組み合わせによって、プリント回路基板に塗布される実際のはんだペーストの量が決まります。ステンシルの代表的な断面図が図1です。はんだペーストで、ステンシル印刷プロセス中に、ステンシル開口部を満たします。ステンシルをプリント回路基板から離すと、はんだペーストはプリント回路基板に移され、図2に示すように、ステンシルの側壁に一部が残ります。アスペクト比と面積比は、IPC規格[76]で指定された最小要件を満たさなければなりません。

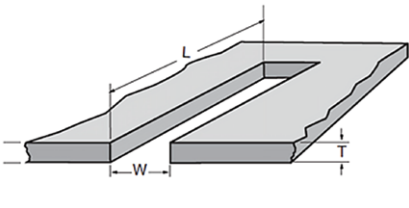


図1: ステンシルの断面図。ここで、Lは開口部の長さ、Wは開口部の幅、Tはステンシルの厚さです。

##### 2.1 アスペクト比

アスペクト比は、開口部の幅とステンシルの厚さの比であり、式1で定義されます。許容可能なはんだペーストの転移の設計ルールは、1.5よりも大きくすることと指定されています。アスペクト比が小さいと、転移プロセス中に開口部の壁に過剰な量のはんだペーストが付着する可能性があります。

$$\text{アスペクト比} = \frac{\text{開口部の幅}}{\text{ステンシルの厚さ}} = \frac{W}{T} \quad \text{式1}$$

##### 2.2 面積比

面積比は、式2で指定されているように、開口部の面積と開口部の側壁の合計面積の比率です。これは、ペーストの転移を向上させるためのステンシル印刷における重要なパラメータです。IPC-7525Aでは、面積比は0.66より大きくしなければならないと規定されています。

$$\text{面積比} = \frac{\text{開口部の面積}}{\text{開口部の壁の面積}} = \frac{(L \times W)}{2 \times (L + W) \times T} \quad \text{式2}$$

##### 2.3 転移効率

転移効率は、プリント回路基板上に堆積した実際のはんだ量と、開口部の寸法に従って移ったはんだ量の合計との比率です。式3は転移効率を定義し、図2でさらに説明されています。転移効率を決定する主な要素は3つあり、使われるステンシル技術 (レーザー・カット、化学エッチングなど)、アスペクト比、面積比です。

$$\text{転移効率} (\%) = \frac{\text{堆積量}}{\text{開口部の体積}} \times 100\% \quad \text{式3}$$

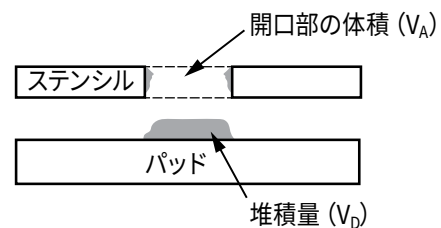


図2: はんだペーストのパッドへの転移 (積載量)。はんだペーストの接着力によって、開口部の側壁にはんだペーストの残留物がいくらか残ります。

図3は、面積比が、はんだペーストの塗布の転移効率と再現性に大きく影響することを示しています。このデータから、面積比を大きくすることが推奨され、これによって、転移効率が高くなり、アセンブリのばらつきが少なくなることが分かります。

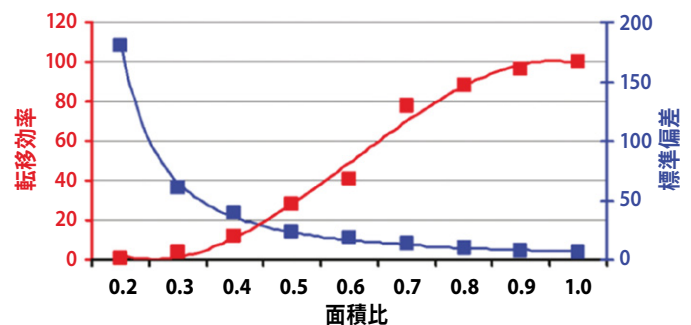


図3: 転移効率と面積比の関係と標準偏差 (文献 [77] から引用)。

## 2.4 はんだペーストの収縮

はんだペーストは、図4のように、主に、はんだ球とフラックスの2つの部分で構成されています。リフロープロセス後、はんだペーストは、最初に堆積された体積の約50%に収縮し、これは加重パーセンテージの85~90%に相当します [78]。

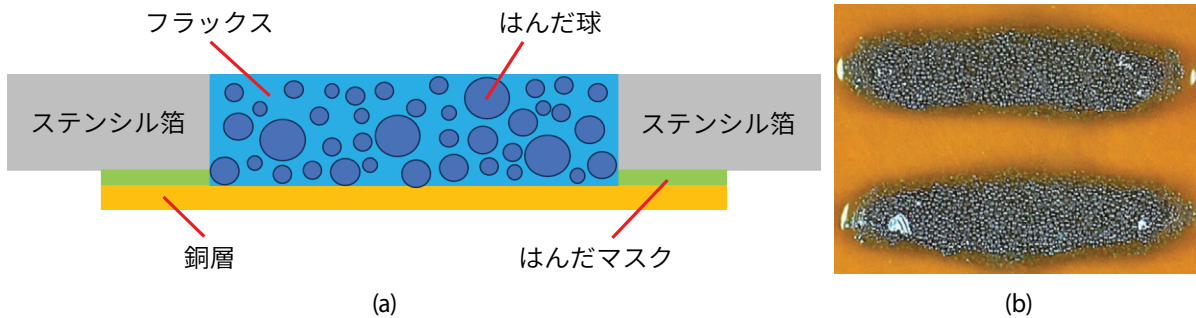


図4 (a) は、開口部内のはんだ球とフラックスの体積を示しています。(b) は、転移後に、パッド上に堆積したはんだペーストの例です。

## 3. ステンシル設計方法とスタンドオフ高さ (SOH) への影響

プリント回路基板のランド・パターンは、露出した銅パッドで、はんだ接合部を介して部品への接続経路として機能します。はんだペーストは、プリント回路基板と QFN 部品との間の唯一追加した相互接続媒体です。リフロー後、はんだ接合部が形成され、ランド・パターンとステンシル開口部が主に、はんだ接合部の形状と寸法を決めます。設計ルールを設定するために、PQFN デバイスのはんだ接合部は一般的に、以下に説明する4つの構成部分に分類できます。

### 3.1 本体のはんだ

本体のはんだとは、図5の赤色のボックスで強調表示されているように、露出パッドの真下だけに配置されるはんだ部分として定義されます。本体のはんだ全体がスタンドオフの高さに寄与します。したがって、堆積したはんだペーストの100%がこの場所に留まります。

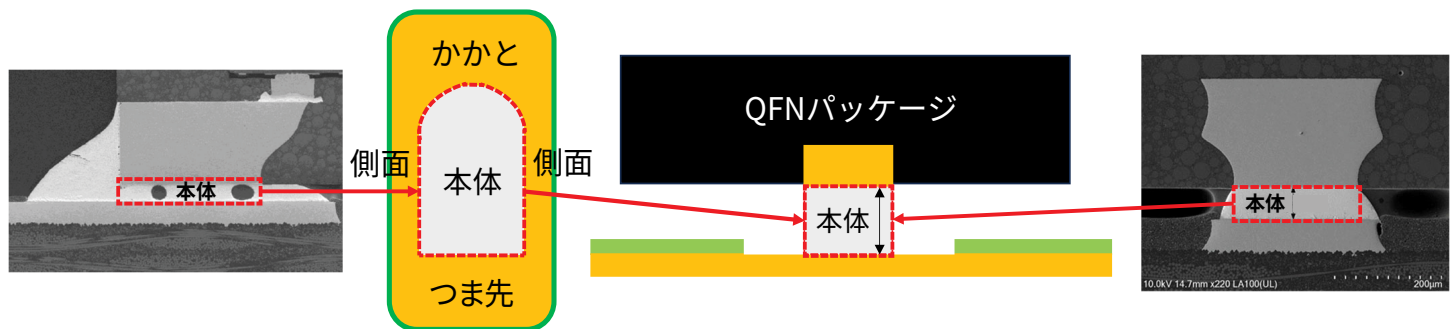


図5: はんだの本体がスタンドオフ高さに与える影響の図

### 3.2 側面のはんだ

側壁のはんだフィラは、図6のように、リフロー後に形成される三角形のはんだ接合部の側面です。三角形の形状になるのは一般的に、ランド・パターンが露出パッドよりも大きいからです。図6は、リフロー後に堆積したはんだペーストの約50%が側面に残っていることを示しています。

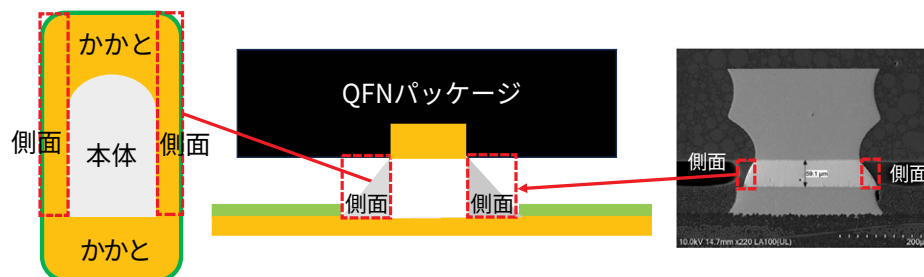


図6: 側面のはんだがスタンドオフの高さに与える影響の図

### 3.3 かかと部分のはんだ付け

かかと部分のはんだフィレは、図7に示すように、リフロー後に形成されるはんだ接合部の内側部分です。かかとののはんだは、堆積するはんだペーストの約50%を占めます。

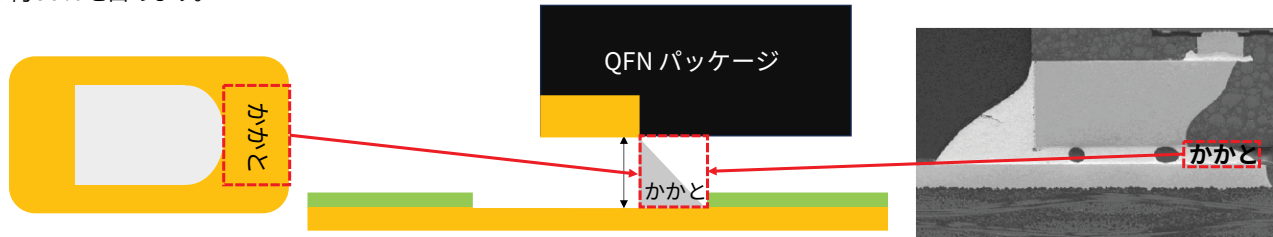


図7:かかと部分のはんだがスタンドオフ高さに与える影響の図

### 3.4 つま先部分のはんだ

つま先部分のはんだフィレは、はんだ接合部の外側の部分であり、図8に示すように露出パッドの外側にあります。したがって、つま先部分のフィレはスタンドオフの高さに影響しません。スタンドオフの高さに直接影響するわけではありませんが、側壁のはんだ接続のフィレの高さを決める上で重要な役割を果たします。側壁の濡れやすい側面が完全に濡れると、フィレの高さが最大になり、通常は、はんだ接合部の機械的接合強度が向上し、温度サイクルの信頼性性能が向上します [79]。

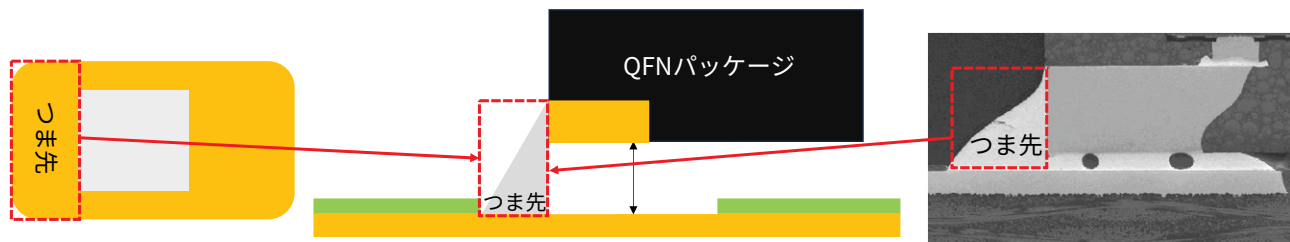


図8:つま先部分のはんだがスタンドオフ高さに与える影響の図

### 3.5 はんだペースト係数 (k)

はんだペースト係数は、図2-4で説明したように、はんだペーストの収縮と転移効率の副産物です。式4は、このパラメータをさらに定量化します。

$$k = \text{はんだペーストの収縮 \%} \times \text{転移効率 \%} \tag{式 4}$$

表1に、厚さが100 μm および 150 μm のステンシルを使ったさまざまな形状の露出パッドの係数をまとめました。ステンシルの厚さを100 μm から 150 μm に増やすと転移効率は低下しますが、はんだペーストの収縮は同じままです。

パッドの分類	代表的なパッド形状	係数 (k) 100 μm厚ステンシル (収縮率×転移効率)	係数 (k) 150 μm厚ステンシル (収縮率×転移効率)
1. 小型の開口		$k = 50\% \cdot 90\% = 45\%$	$k = 50\% \cdot 80\% = 40\%$
2. 中型の開口		$k = 50\% \cdot 100\% = 50\%$	$k = 50\% \cdot 80\% = 40\%$
3. 大型の開口		$k = 70\% \cdot 100\% = 70\%$	$k = 70\% \cdot 80\% = 56\%$

表1: 厚さ100 μm および 150 μm のステンシルを使った小型、中型、大型のパッドの係数 (k)

### 3.6 スタンドオフ高さの計算式

転移とリフロー後、堆積したはんだ球合金の体積は  $A_{aperture} \cdot t \cdot k$  です。ここで、 $A_{aperture}$  は、はんだステンシル開口部の全面積、 $t$  はその厚さ、 $k$  ははんだペースト係数です。つま先部分のランド・パターン面積  $A_{toe}$  の場合、はんだのつま先部分には、約  $A_{toe} \cdot t \cdot k$  のはんだ量が使われます。つま先部分以外のはんだ接合部部分を組み合わせ、堆積した残りのはんだ量に基づいて、はんだスタンドオフ高さを決定します。この論理によって、各リードのはんだスタンドオフ高さ (SOH) は、式5のように計算できます。

$$SOH = \frac{(A_{aperture} - A_{toe}) \times t \times k}{A_{body} + 0.5A_{sides} + 0.5A_{heel}} \quad \text{式5}$$

ここで、 $A_{body}$ 、 $A_{sides}$ 、 $A_{heel}$  は、それぞれ本体、全側面、かかと部分の面積であり、係数0.5は、側面とかかと部分のはんだ付け部分の三角形の形状によるものです。

## 4. ケース・スタディ 1: 3.5 × 5 mm の PQFN IC である EPC23102 [80] と 100 μm 厚のステンシル

図9は、PQFN IC の EPC23102 のチップのレイアウトであり、図10は、前述の設計ルールに従って開発したステンシル設計です。

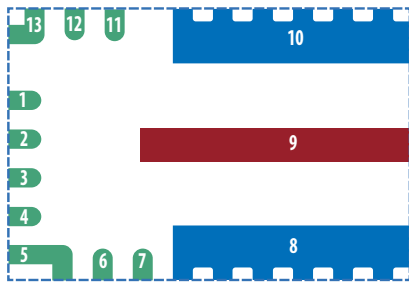


図9: PQFN で 3.5 × 5 mm の EPC23102 のパッド・レイアウト

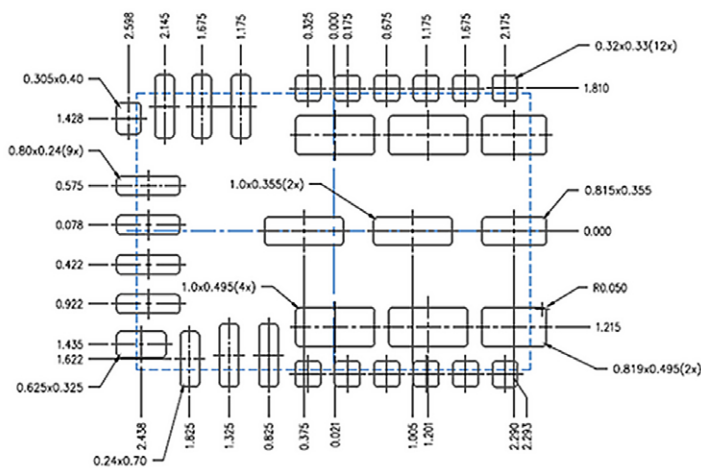


図10: EPC23102 のステンシル設計

### 4.1 小型パッドのスタンドオフ高さ (図9のピン1)

スタンドオフ高さを計算するために式5を使うと、46 μm と推定されます。図11は、計算に使ったそれぞれの領域を示しています。ここで、係数  $k$  は0.45、ステンシルの厚さ  $t$  は0.1 mm です。図12は、ピン1のアセンブリ後の SEM 断面結果です。ここで、結果として得られたスタンドオフ高さは48 μm と測定され、推定されたスタンドオフ高さによく一致しています。

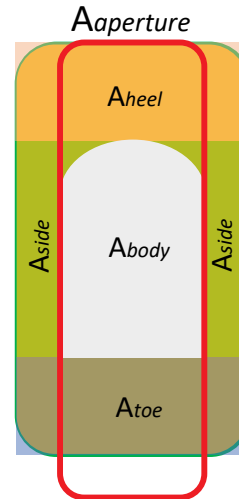


図11: 小さなパッド上のはんだ付け領域の図。  $A_{aperture}$  は、赤色のボックス  $A_{aperture} = 0.19 \text{ mm}^2$  で示すように、ランド・パターンを印刷するステンシル開口部の領域に相当します。つま先部分の領域  $A_{toe} = 0.06 \text{ mm}^2$ 。本体の領域  $A_{body} = 0.09 \text{ mm}^2$ 。側面の合計領域  $A_{sides} = 0.03 \text{ mm}^2$ 。かかと部分の領域  $A_{heel} = 0.04 \text{ mm}^2$ 。

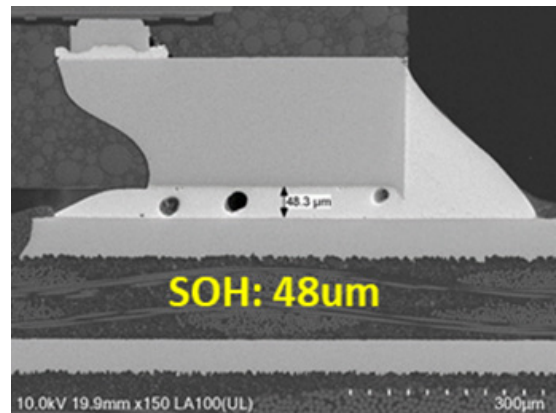


図12: 100 μm 厚のステンシルを使った EPC23102 のピン2における実際のはんだスタンドオフ高さ。

### 4.2 「L字型」パッドのスタンドオフ高さ (図9のピン13)

式5は、「L字型」露出パッドのスタンドオフ高さの推定にも使われ、54 μm と計算されました。図13は、計算に使った各領域を示しています。係数  $k$  は0.50、ステンシルの厚さ  $t$  は0.1 mm です。図14は、リフロー後のピン13の SEM 断面結果です。スタンドオフ高さは52 μm と測定され、推定されたスタンドオフ高さによく一致しています。

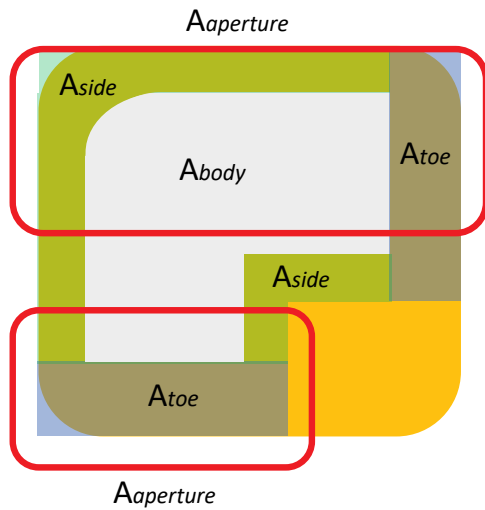


図13: 「L字型」パッドのはんだ付け領域の図。A<sub>aperture</sub>は、赤色のボックスで示すように、ランド・パターンを印刷するステンシル開口部の合計面積で、A<sub>aperture</sub> = 0.31 mm<sup>2</sup>です。つま先部分の合計面積A<sub>toe</sub> = 0.12 mm<sup>2</sup>。本体の面積A<sub>body</sub> = 0.16 mm<sup>2</sup>。側面の合計面積A<sub>sides</sub> = 0.04 mm<sup>2</sup>。

### 4.3 大型なパッドのスタンドオフ高さ (図9のピン10)

図15は、ピン10のアセンブリ後のSEM断面結果です。スタンドオフの高さは57 μmと測定され、推定したスタンドオフの高さと正確に一致しています。大型なパッドのスタンドオフ高さは57 μmと計算されています。図16は、計算に使ったそれぞれの領域を示しています。係数kは0.70、ステンシルの厚さtは0.1 mmです。

表2は、スタンドオフの高さの予測と実際の測定値の関係をまとめたものです。パッケージの傾きは、ピン13からピン10までの2つの反対側のリード間のスタンドオフの高さの差です。表2は、傾斜の予測が実際の断面測定値と一致していることを示しており、設計ルールの妥当性をさらに証明しています。

スタンドオフの高さ	ピン2	ピン13	ピン10	傾き (ピン13-ピン10)
推定値	46 μm	54 μm	57 μm	3 μm
実測値	48 μm	52 μm	57 μm	5 μm

表2: EPC23102のスタンドオフ高さの比較

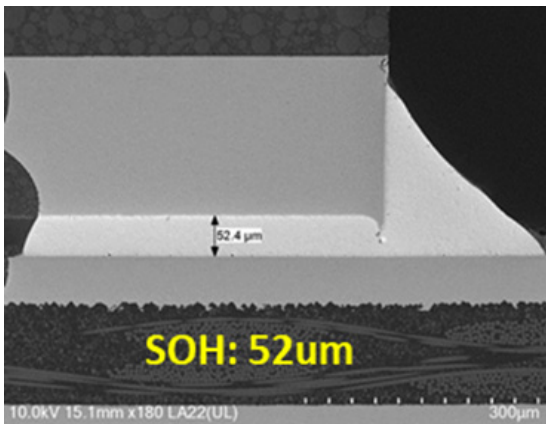


図14: 100 μm厚のステンシルを使ったEPC23102のピン13の実際のはんだスタンドオフ高さ。

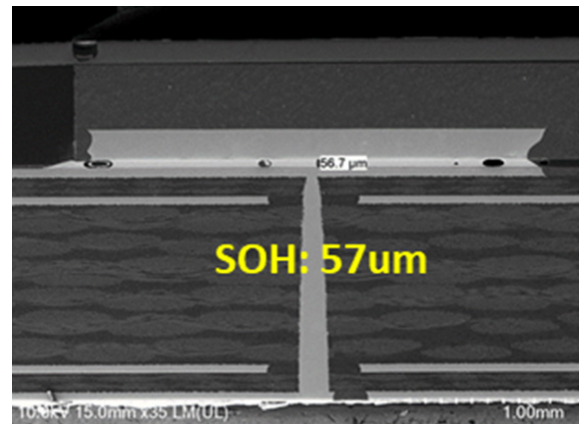


図15: 100 μm厚のステンシルを使ったEPC23102のピン10における実際のはんだスタンドオフ高さ。

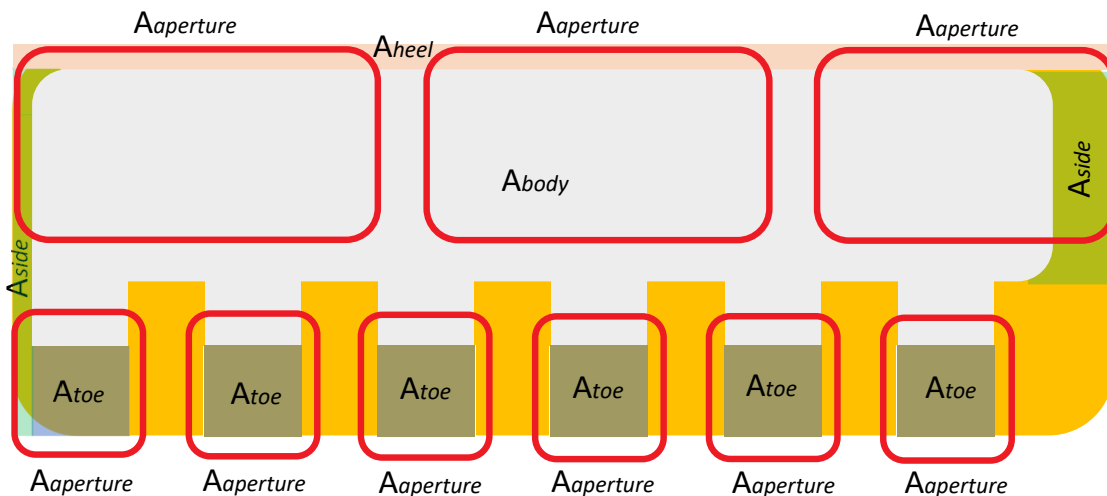


図16: 露出面積の大きいパッドのはんだ付け領域の図。A<sub>aperture</sub>は、赤色のボックスで示すように、ランド・パターンを印刷するステンシル開口部の合計領域で、A<sub>aperture</sub> = 2.01 mm<sup>2</sup>です。つま先部分の合計領域A<sub>toe</sub> = 0.38 mm<sup>2</sup>。本体の領域A<sub>body</sub> = 1.85 mm<sup>2</sup>。側面の合計領域A<sub>sides</sub> = 0.14 mm<sup>2</sup>。かかと部分の領域A<sub>heel</sub> = 0.15 mm<sup>2</sup>。

## 5. ケース・スタディ 2:3×5 mmのディスクリット PQFNトランジスタ EPC2302 [81]、150 μm厚のステンシル

ステンシルの厚さが50%厚くなると、開口部の壁面へのはんだペーストの付着力が増し、転移効率が低下して係数が小さくなります。図17は、EPC2302のバンプのレイアウトを示し、図18は設計ルールに基づく150 μm厚のステンシルの推奨値です。

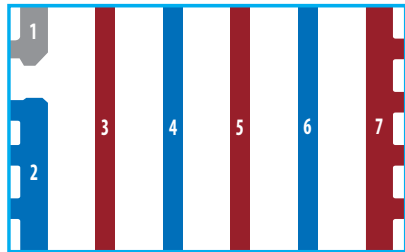


図17: 面積3×5 mmのPQFN封止EPC2302のバンプのレイアウト

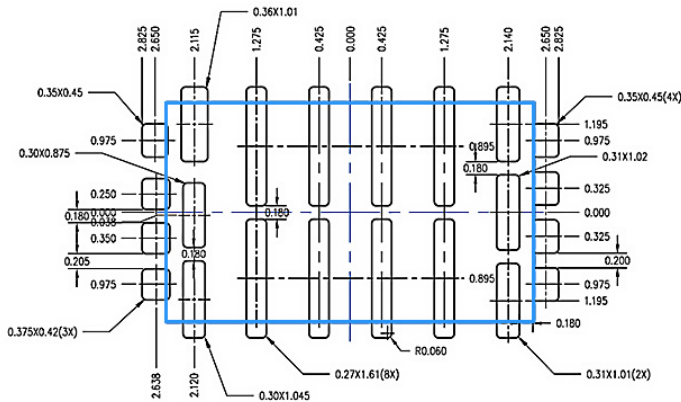


図18: EPC2302の150 μm厚のステンシル設計

### 5.1 EPC2302の「L字型」パッドのスタンドオフ高さ (図17のピン1)

「L字型」パッドのスタンドオフ高さは76 μmと計算されました。図19は、計算に使った各領域を示しています。係数  $k$  は0.40、ステンシルの厚さ  $t$  は0.15 mmです。図20は、ピン1のアセンブリ後のSEM断面観測の結果です。測定したスタンドオフ高さは81 μmで、推定したスタンドオフ高さとはほぼ一致しています。

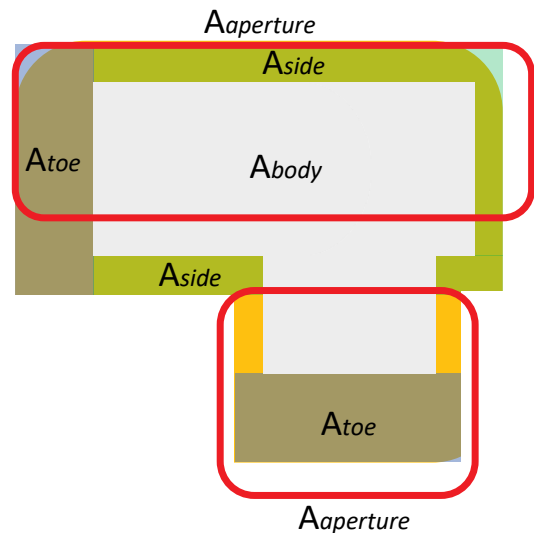


図19: 「L字型」パッド上のはんだ付け領域を示す図。  $A_{aperture}$  は、赤色のボックスで囲まれたランド・パターンを印刷したステンシル開口部の全面積で、 $A_{aperture} = 0.52 \text{ mm}^2$  です。つま先部分の全面積  $A_{toe} = 0.13 \text{ mm}^2$ 、本体の面積  $A_{body} = 0.25 \text{ mm}^2$ 、側面の全面積  $A_{sides} = 0.10 \text{ mm}^2$  です。

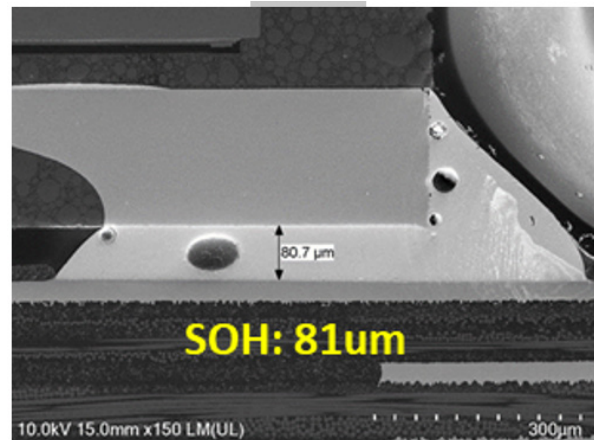


図20: 150 μm厚のステンシルを使ったEPC2302のピン1の実際のはんだスタンドオフ高さ。

### 5.2 EPC2302の大型パッドのスタンドオフ高さ (図17のピン7)

大きな露出パッドのスタンドオフ高さは81 μmと計算されました。図21は、計算に使った各領域を示しています。係数  $k$  は0.56、ステンシルの厚さ  $t$  は0.15 mmです。図22は、ピン7のアセンブリ後のSEM断面観測の結果です。得られたスタンドオフ高さは76 μmと測定され、推定したスタンドオフ高さとはほぼ一致しています。

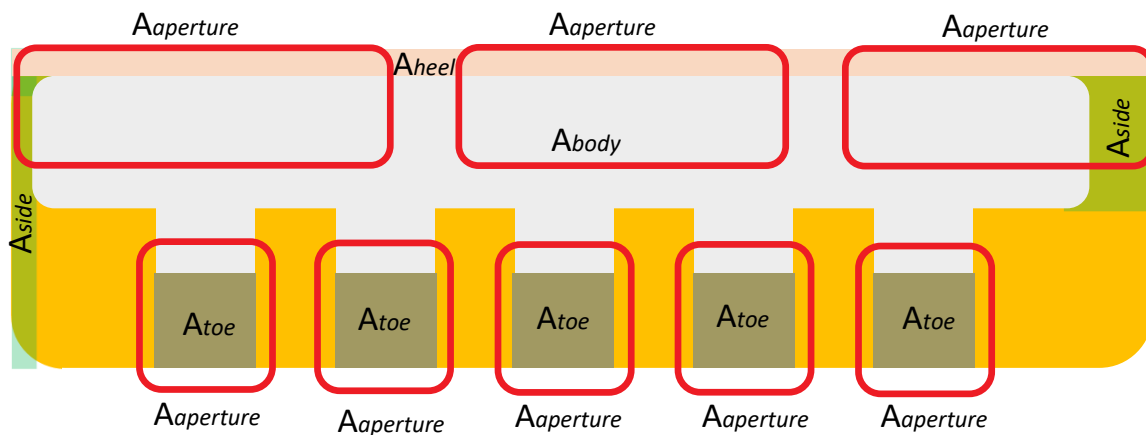


図21: 大型パッド上のはんだ付け領域を示す図。  $A_{aperture}$  は、赤色のボックスで囲まれたランド・パターンを印刷したステンシル開口部の総面積で、 $A_{aperture} = 1.55 \text{ mm}^2$  です。つま先部分の全面積  $A_{toe} = 0.39 \text{ mm}^2$ 。本体の面積  $A_{body} = 1.1 \text{ mm}^2$ 。側面の全面積  $A_{sides} = 0.08 \text{ mm}^2$ 。かかと部分の面積  $A_{heel} = 0.12 \text{ mm}^2$ 。

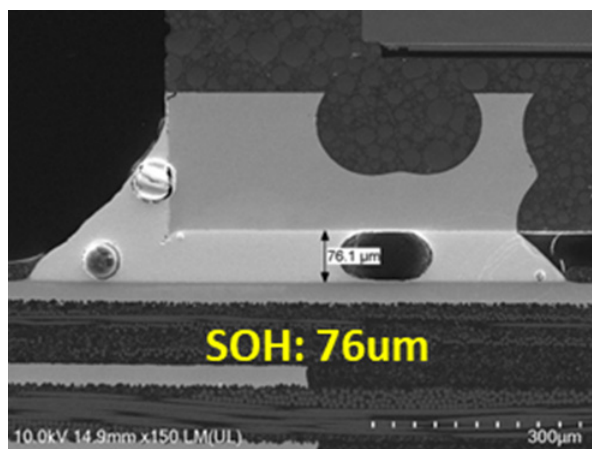


図22: 150 μm のステンシル厚を使った EPC2302 のピン7 の実際のはんだスタンドオフ高さ。

## 6. 結論

各はんだの体積を定量化することで、あらゆるサイズと形状のパッドのスタンドオフ高さを計算できます。式5で計算したスタンドオフ高さが部品全体で一定になるようにステンシルを設計しなければなりません。これによって、チップの傾きが防止され、基板レベルのはんだ接合部の信頼性が向上します。

表3に、スタンドオフ高さの予測値と実測値の関係をまとめました。ピン1からピン7までの2個の対向リード間のパッケージの傾きは小さく、設計ルールの有効性を示しています。

スタンドオフの高さ	ピン1	ピン7	傾き
予測値	76 μm	81 μm	5 μm
実測値	81 μm	76 μm	5 μm

表3: ステンシル厚 150 μm を使った EPC2302 のスタンドオフ高さの比較。

## 参考文献：

1. Garcia, R., Gajare, S., Espinoza, A., Zafrani, M., Pozo, A., Zhang, S., 「GaNの信頼性と寿命の予測：フェーズ15」, EPC Corp., El Segundo, CA, USA, 信頼性レポートの入手先： [GaNの信頼性と寿命の予測：フェーズ15 \(epc-co.com\)](https://epc-co.com)
2. Handbook for Robustness Validation of Semiconductor Devices in Automotive Applications, Third edition: May 2015, Editor: ZVEI Robustness Validation Working Group, Eds. Published by ZVEI – Zentralverband Elektrotechnik – und Elektronikindustrie e.V. [Online]. Available: [https://www.zvei.org/fileadmin/user\\_upload/Presse\\_und\\_Medien/Publikationen/2015/mai/Handbook\\_for\\_Robustness\\_Validation\\_of\\_Semi-conductor\\_Devices\\_in\\_Automotive\\_Applications\\_3rd\\_edition/\\_Robustness-Validation-Semiconductor-2015.pdf](https://www.zvei.org/fileadmin/user_upload/Presse_und_Medien/Publikationen/2015/mai/Handbook_for_Robustness_Validation_of_Semi-conductor_Devices_in_Automotive_Applications_3rd_edition/_Robustness-Validation-Semiconductor-2015.pdf)
3. Volosencu, C. (2017). System reliability. Edited. InTechOpen. <https://doi.org/10.5772/66993>.
4. JEDEC Standard “Method for calculating failure rates in units of FITS”, JESD85A, January 2014.
5. 「GaNの信頼性と寿命の予測：フェーズ14」, [オンライン]. 入手先： <https://epc-co.com/epc/Portals/0/epc/documents/product-training/Reliability%20Report%20Phase%2014-jp.pdf>
6. Ooi, T. L. W., et al., “Mean multiplication gain and excess noise factor of GaN and Al<sub>0.45</sub>Ga<sub>0.55</sub>N avalanche photodiodes,” Eur. Phys. J. Appl. Phys. 92, 10301, 2020.
7. Ozbek, A.M., “Measurement of Impact Ionization Coefficients in GaN,” Ph.D. thesis, North Carolina State University, 2012.
8. Wang, Bixuan, Ruizhe Zhang, Hengyu Wang, Quanbo He, Qihao Song, Qiang Li, Florin Udrea, and Yuhao Zhang. “Gate Lifetime of P-Gate GaN HEMT in Inductive Power Switching.” In 2023 35th International Symposium on Power Semiconductor Devices and ICs (ISPSD), pp. 20-23. IEEE, 2023
9. Alex Lidow. “GaN Power Devices and Applications.”, El Segundo, CA, USA: PCP Press, 2021
10. Dymond, Harry CP, Jianjing Wang, Dawei Liu, Jeremy JO Dalton, Neville McNeill, Dinesh Pamunuwa, Simon J. Hollis, and Bernard H. Stark. “A 6.7-GHz active gate driver for GaN FETs to combat overshoot, ringing, and EMI.” IEEE Transactions on Power Electronics 33, no. 1 (2017): 581-594
11. Zhang, Shengke, Siddhesh Gajare, Ricardo Garcia, Sijun Huang, Angel Espinoza, Andrea Gorgerino, Ruizhe Zhang, Alejandro Pozo, Robert Strittmatter, and Alex Lidow. “Projecting GaN HEMTs Lifetimes Under Typical Stresses Commonly Observed in DC-DC Converters.” Power Electronic Devices and Components 6 (2023) 100051
12. Kozak, Joseph P., Ruizhe Zhang, Matthew Porter, Qihao Song, Jingcun Liu, Bixuan Wang, Rudy Wang, Wataru Saito, and Yuhao Zhang. “Stability, Reliability, and Robustness of GaN Power Devices: A Review.” IEEE Transactions on Power Electronics (2023)
13. Efficient Power Conversion Corporation, “EPC2045 – Enhancement-mode power transistor,” EPC2045 datasheet. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/datasheets/epc2045\\_datasheet.pdf](https://epc-co.com/epc/Portals/0/epc/documents/datasheets/epc2045_datasheet.pdf)
14. A. Lidow, R. Strittmatter, S. Zhang and A. Pozo, “Intrinsic Failure Mechanisms in GaN-on-Si Power Transistors,” in IEEE Power Electronics Magazine, vol. 7, no. 4, pp. 28-35, Dec. 2020, doi: 10.1109/MPEL.2020.3033651
15. “Guideline to specify a transient off-state withstand voltage robustness indicator in datasheets for lateral GaN power conversion devices,” Dec. 2021. [Online]. Available: <https://www.jedec.org/standardsdocuments/docs/jep186>
16. R. Zhang, R. Garcia, R. Strittmatter, Y. Zhang and S. Zhang, “In-situ R<sub>DS(ON)</sub> Characterization and Lifetime Projection of GaN HEMTs under Repetitive Overvoltage Switching,” in IEEE Transactions on Power Electronics, vol. 38, no. 9, pp. 10589-10594, Sept. 2023, doi: 10.1109/TPEL.2023.3290117.
17. R. Zhang, J. P. Kozak, M. Xiao, J. Liu and Y. Zhang, “Surge-Energy and Overvoltage Ruggedness of P-Gate GaN HEMTs,” in IEEE Transactions on Power Electronics, vol. 35, no. 12, pp. 13409-13419, Dec. 2020
18. Spirito, P., Breglio, G., d’Alessandro, V., and Rinaldi, N., “Analytical model for thermal instability of low voltage power MOS and S.O.A. in pulse operation,” 14th International Symposium on Power Semiconductor Devices & ICs; Santa Fe, NM; 4-7 June 2002; pp. 269-272.
19. Kim, B.J., Lim, G.T., Kim, J. et al. Microstructure evolution in Cu pillar/eutectic SnPb solder system during isothermal annealing. Met. Mater. Int. 15, 815-818 (2009). <https://doi.org/10.1007/s12540-009-0815-4>
20. H. C. Ma et al., “Reliability and failure mechanism of copper pillar joints under current stressing,” J. Mater. Sci. Mater. Electron., vol. 26, no. 10, pp. 7690-7697, 2015, doi: 10.1007/s10854-015-3410-8
21. M. Ding, G. Wang, B. Chao, P. S. Ho, P. Su, T. Uehling, and D. Wontor, “A Study of Electromigration Failure in Pb-Free Solder Joints,” Proc 43rd IEEE International Reliability Physics Symposium, San Jose, CA, April. 2005, pp. 518-523
22. Jae-Woong Nah et al., “Electromigration in Pb-free solder bumps with Cu column as flip chip joints,” 56th Electronic Components and Technology Conference 2006, San Diego, CA, USA, 2006, pp. 6, doi: 10.1109/ECTC.2006.1645720

## 参考文献 (続き) :

23. Madanipour, H., Kim, Y., Kim, C., Mishra, D., & Thompson, P. (2021). Study of electromigration in Sn-Ag-Cu micro solder joint with Ni interfacial layer. *Journal of Alloys and Compounds*, 862, 158043. <https://doi.org/10.1016/j.jallcom.2020.158043>
24. N. Islam, G. Kim and K. Kim, "Electromigration for advanced Cu interconnect and the challenges with reduced pitch bumps," 2014 IEEE 64th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, 2014, pp. 50-55, doi: 10.1109/ECTC.2014.6897266
25. J. R. Black, "Metallization failures in integrated circuits." doi: 10.1002/nav.3800080206
26. J. Lienig and M. Thiele, *Fundamentals of Electromigration- Aware Integrated Circuit Design*. Springer, 2018
27. Guideline for Characterizing Solder Bump Electromigration under Constant Current and Temperature Stress, Version 1.0, JEDEC Standard JEP154,2011
28. Mishra, S., "Fault current limiting and protection circuit for power electronics used in a modular converter," M.S. thesis, University of Tennessee, Knoxville, TN, 2008. [Online]. Available: [https://trace.tennessee.edu/utk\\_gradthes/468](https://trace.tennessee.edu/utk_gradthes/468)
29. Ghaffarian, R. (2000). Accelerated thermal cycling and failure mechanisms for BGA and CSP assemblies. *J. Electron. Packag.*, 122(4), 335-340.
30. Han, B., & Guo, Y. (1996). Determination of an effective coefficient of thermal expansion of electronic packaging components: A whole-field approach. *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part A*, 19(2), 240-247
31. Barbini, D., & Meilunas, M. (2011). Reliability of lead-free LGAs and BGAs: Effects of solder joint size, cyclic strain and microstructure. *SMTA International Proceedings*, Fort Worth, Texas, 292
32. Coonrod, J. (2011). Understanding when to use FR-4 or high frequency laminates. *OnBoard Technology*, 26-30.
33. Michaelides, S., & Sitaraman, S. K. (1999). Die cracking and reliable die design for flip-chip assemblies. *IEEE Transactions on Advanced Packaging*, 22(4), 602-613
34. Wu, B., Yang, Y. H., Han, B., & Schumacher, J. (2018). Measurement of anisotropic coefficients of thermal expansion of SAC305 solder using surface strains of single grain with arbitrary orientation. *Acta Materialia*, 156, 196-204
35. JEDEC Standard, "Temperature Cycling," Test Method JESD22-A104F, November 2020
36. Cramér, H. (1999). *Mathematical methods of statistics (Vol. 43)*. Princeton university press
37. Clech, J-P, "BOARD, PACKAGE & DIE THICKNESS EFFECTS UNDER THERMAL CYCLING CONDITIONS", Proceedings, SMTA International Conference, Chicago, IL, Sept. 29, 201
38. Tee, T. Y., Ng, H. S., Yap, D., & Zhong, Z. (2003). Comprehensive board-level solder joint reliability modeling and testing of QFN and PowerQFN packages. *Microelectronics Reliability*, 43(8), 1329-1338
39. Farooq, M., Goldmann, L., Martin, G., Goldsmith, C., & Bergeron, C. (2003, May). Thermo-mechanical fatigue reliability of Pb-free ceramic ball grid arrays: Experimental data and lifetime prediction modeling. In *53rd Electronic Components and Technology Conference*, 2003. (pp. 827-833).
40. Norris, K. C., & Landzberg, A. H. (1969). Reliability of controlled collapse interconnections. *IBM Journal of Research and Development*, 13(3), 266-271
41. Darveaux, R. (2005, September). Effect of assembly stiffness and solder properties on thermal cycle acceleration factors. In *THERMINIC 2005* (pp. 192-203). TIMA Editions.
42. Clech, J. The combined effect of assembly pitch and distance to neutral point on solder joint thermal cycling life. In *Proceedings of SMTA International* (pp. 25-29).
43. J. de Vreis, M. jansen, W. van Driel, "Solder-joint reliability of HVQFN-packages subjected to thermal cycling", *Microelectronics Reliability*, Volume 49, Issue 3, March 2009, Pages 331-339
44. U. Rahangdale et al., "Effect of PCB thickness on solder joint reliability of Quad Flat no-lead assembly under Power Cycling and Thermal Cycling," 2017 33rd Thermal Measurement, Modeling & Management Symposium (SEMI-THERM), San Jose, CA, USA, 2017, pp. 70-76
45. COMSOL Multiphysics Reference Manual, version 6.1", COMSOL, Inc, [www.comsol.com](http://www.comsol.com)
46. R. V. Mises, "The mechanics of solids in the plastically-deformable state" (No. NAS 1.15: 88448), 1986.
47. "EPC2218A – Enhancement-mode power transistor," EPC2218A datasheet, Efficient Power Conversion
48. "Temperature Cycling," JEDEC Standard, Test Method JESD22-A104F, November 2020
49. "Reliability of Controlled Collapse Interconnections" by K. C. Norris and A. H. Landzberg, *IBM Journal of Research and Development*, 13(3), pp. 266–271, 1969.

## 参考文献 (続き) :

50. "An Acceleration Model for Lead-Free (SAC) Solder Joint Reliability Under Thermal Cycling" by V. Vasudevan and X. Fan, ECTC 2008, pp. 139–145
51. "Modified Norris–Landzberg Model and Optimum Design of Temperature Cycling Alt." by F.Q. Sun, J.C. Liu, Z.Q. Cao, X.Y. Li and T.M. Jiang, Strength Mater 48, 135–145 (2016)
52. "Norris–Landzberg Acceleration Factors and Goldmann Constants for SAC305 Lead-Free Electronics" by P. Lall, A. Shirgaokar, and D. Arunachalam, ASME. Journal of Electronic Packaging, 134(3), 031008, 2012
53. "Accelerated Temperature Cycle Test and Coffin-Manson Model for Electronic Packaging" by H. Cui, RAMS, pp. 556-560, 2005
54. Department of Defense Test Method Standard: Mechanical Tests – Die Shear Strength. Mil-Std-883e (Method 2019), May 3, 2018. [Online]. Available: <https://landandmaritimeapps.dla.mil/Downloads/MilSpec/Docs/MIL-STD-883/std883.pdf>
55. AEC-Q200 REV D: Stress Test Qualification for Passive Components (base document), Automotive Electronics Council, June 1, 2010, [Online]. Available: [www.aecouncil.com](http://www.aecouncil.com)
56. AEC-Q200-005 Rev A: Board Flex Test, Automotive Electronics Council, June 1, 2010, [Online]. Available: [www.aecouncil.com](http://www.aecouncil.com)
57. "\$1/W Photovoltaic Systems: white paper to explore a grand challenge for electricity from solar," U.S Department of Energy, August 2010
58. "SunShot 2030 for Photovoltaics (PV): Envisioning a Low-cost PV Future" by W. Cole, B. Frew, P. Gagnon, J. Richards, Y. Sun, J. Zuboy, M. Woodhouse, and R. Margolis, National Renewable Energy Laboratory, Golden, CO (2017).
59. "Enphase IQ 7-Based M-Series Microinverters," Enphase Energy data sheet, February 2023
60. "IQ8M and IQ8A Microinverters," Enphase Energy data sheet, April 2023
61. "SolarEdge Power Optimizer Module Embedded Solution, OPJ300-LV," SolarEdge data sheet, January 2023
62. "Power Optimizer Frame-Mounted P370/P401/P404/P500," SolarEdge data sheet, May 2023
63. "EPC2059 – Enhancement-mode power transistor," EPC2059 datasheet, Efficient Power Conversion
64. "EPC2218 – Enhancement-mode power transistor," EPC2218 datasheet, Efficient Power Conversion
65. MSN weather data for Phoenix, Arizona
66. "How to Design Synchronous Buck Converter Using GaN FET Compatible Analog Controllers with Integrated Gate Drivers". [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/application-notes/How2AppNote025 How to Design Synchronous Buck Converter Using GaN FET.pdf](https://epc-co.com/epc/Portals/0/epc/documents/application-notes/How2AppNote025%20How%20to%20Design%20Synchronous%20Buck%20Converter%20Using%20GaN%20FET.pdf)
67. S. Zhang, S. Gajare, R. Garcia, "Using Test-to-Fail Methodology to Predict How GaN Devices Can Last More than 25 Years in Solar Applications", PCIM Asia 2023 Conference
68. Efficient Power Conversion Corporation, 「EPC9078：開発基板」, [オンライン]. 入手先: <https://epc-co.com/epc/jp/製品/デモボード/epc9078-ja-jp>
69. Glaser, J., "An introduction to Lidar: A look at future developments," IEEE Power Electronics Magazine, March 2017
70. Pozo, A., Zhang, S., and Strittmatter, R., 「信頼性レポート：フェーズ12」, EPC Corp., El Segundo, CA, USA, 信頼性レポートの入手先: <https://epc-co.com/epc/jp/設計サポート/ganデバイスの信頼性/reliabilityreportphase12>
71. Efficient Power Conversion Corporation, "EPC2202 – Enhancement-mode power transistor," EPC2202 datasheet. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2202\\_datasheet.pdf](https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2202_datasheet.pdf)
72. Efficient Power Conversion Corporation, "EPC2212 – Enhancement-mode power transistor," EPC2212 datasheet. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2212\\_datasheet.pdf](https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2212_datasheet.pdf)
73. Zhang, S. et al, "GaN Reliability and Lifetime Projections", CIPS 2022; 12th International Conference on Integrated Power Electronics Systems, pp. 1-7, 2022
74. Efficient Power Conversion Corporation, "EPC21601 – eToF Laser Driver IC," EPC21601 datasheet. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC21601\\_datasheet.pdf](https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC21601_datasheet.pdf)
75. Efficient Power Conversion Corporation, "EPC21701 – eToF Laser Driver IC," EPC21701 datasheet. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC21701\\_datasheet.pdf](https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC21701_datasheet.pdf)
76. IPC 7525A Stencil Design Guidelines
77. Stęplewski et al, "Influence of Stencil Design and Parameters of Printing Process on lead-free paste transfer efficiency", MATERIAŁY ELEKTRONICZNE, 2009

## 参考文献 (続き) :

78. Department of Electronic Technology [Online]. Available: [https://www.ett.bme.hu/meca/Courses/TEP/2\\_3.html#:~:text=where%20Sshrinkage%20factor%20of,about%20100%20%CE%BCm%20after%20plating](https://www.ett.bme.hu/meca/Courses/TEP/2_3.html#:~:text=where%20Sshrinkage%20factor%20of,about%20100%20%CE%BCm%20after%20plating).
79. Bae et al, "Board-Level Reliability of Lead-Frame Based Substrate and Surface Finishing Technology", IMAPS 2022 - 55th International Symposium on Microelectronics, 2022
80. Efficient Power Conversion Corporation, "EPC23102 – ePower™ Stage IC," EPC23102 datasheet. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC23102\\_datasheet.pdf](https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC23102_datasheet.pdf)
81. Efficient Power Conversion Corporation, "EPC2302 – Enhancement-mode power transistor," EPC2302 datasheet.[Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2302\\_datasheet.pdf](https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2302_datasheet.pdf)